

Faculdade de Tecnologia de São Paulo

DEPARTAMENTO DE SISTEMAS ELETRÔNICOS

**Estudo e Caracterização Elétrica de Junções Schottky
para aplicação nas regiões de Fonte e Dreno dos
Transistores BE SOI MOSFET**

Henrique Lanfredi Carvalho



Henrique Lanfredi Carvalho

**Estudo e Caracterização Elétrica de Junções Schottky
para aplicação nas regiões de Fonte e Dreno dos
Transistores BE SOI MOSFET**

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Ficha Catalográfica

--

TERMO DE APROVAÇÃO

Henrique Lanfredi Carvalho

Estudo e Caracterização Elétrica de Junções Schottky para aplicação nas regiões de Fonte e Dreno dos Transistores BE SOI MOSFET

Aprovada em: ___ / ___ / ___

Prof. Dr. Victor Sonnenberg

Coordenador(a) do curso / Chefe do Departamento de Sistemas Eletrônicos

Dra. Katia Regina Akemi Sasaki

Avaliadora

Prof. Dr. Aparecido Sirley Nicolett

Avaliador

Prof. Me. Ricardo Cardoso Rangel

Avaliador

DEDICATÓRIA

Aos meus pais Daniela e Nelson
ao meu falecido avô José Antônio Lanfredi
e ao meu irmão Guilherme

AGRADECIMENTOS

Agradeço aos meus pais Daniela e Nelson por sempre me apoiarem em todas as minhas decisões.

Ao professor e amigo Ricardo Rangel por ceder a oportunidade de trabalharmos juntos neste projeto.

Ao meu irmão Guilherme por todas as descontrações, perguntas e incentivos.

A minha colega de graduação e amiga Tamiris Farias, por estes anos de amizade.

Aos meus colegas de graduação, que incentivaram o estudo e progresso do trabalho durante esses anos.

Aos meus amigos de longa data.

Aos professores do Departamento de Sistemas Eletrônicos (DSE) da Faculdade de Tecnologia do Estado de São Paulo (FATEC-SP), que participaram de minha formação.

Ao pessoal do LSI-USP pelos fornecimentos dos materiais e equipamentos utilizados, além da confiança.

A todos que contribuíram para realização do trabalho.

E ao meu avô pelo apoio durante minha vida.

RESUMO

Os atuais circuitos integrados (CI's) estão presentes em praticamente todas as atividades humanas, seja através de novos sistemas eletrônicos, modos de comunicação ou controlando sistemas de produção e transporte. Os CI's são muito importantes pois executam funções de processamento de informações complexas e apesar de sua importância são componentes de custo relativamente baixo.

Seu custo é baixo devido à possibilidade de construção de seu dispositivo básico (o transistor MOSFET) em dimensões muito reduzidas, da ordem de nanômetros. A cada nova geração tecnológica os dispositivos ficam ainda menores, torna-se possível obter circuitos mais complexos, e com redução de custos. Este ciclo virtuoso nos permitiu décadas de inovações tecnológicas e crescente produtividade. Mas a contínua redução das dimensões nos aproxima rapidamente de dispositivos de dimensões atômicas e da incerteza sobre a manutenção do ritmo de evolução nas próximas décadas.

Uma das alternativas consiste na alteração da estratégia de evolução dos CI's. Invés de reduzir dimensões para reduzir a área ocupada de um circuito, seria possível usar a mesma área para mais de uma função? Esta é uma proposta que vem sendo discutida e recebe o nome de arquiteturas reconfiguráveis. Esta ideia de um transistor reconfigurável, cujo seu modo de funcionamento pode ser mudado pela alteração de uma polarização.

O transistor BE (Back Enhanced) SOI MOSFET, desenvolvido no Brasil e registrado pela patente de número BR 10 2015 020974 6, é uma alternativa para esta nova abordagem. É compatível com as tecnologias existentes (como a tecnologia SOI usada atualmente por IBM e STMicroelectronics) e tem uma fabricação muito simples.

Este trabalho estudará o comportamento das junções Schottky de dreno e fonte dos transistores reconfiguráveis BESOI MOSFET's, especificamente sobre os eletrodos de Al na junção com canal de silício(p) de baixa dopagem sobre uma camada isolante (SOI), com diferentes espessuras de óxido enterrado e canais de silício, incluindo em lâminas SOI de corpo e óxido enterrado ultra finos (UTBB – Ultra Thin Body Box).

Para o estudo desta região específica, será utilizada estruturas Kelvin's, especiais construídas sobre lâminas SOI, já fabricadas no Laboratório de Sistemas Integráveis da Universidade de São Paulo (LSI-USP), que são necessárias para verificar as características elétricas na região de estudo, a partir de uma aplicação de corrente entre ambas as direções da junção e polarizações de substrato.

Com base nos resultados experimentais e literaturas, deseja-se obter os parâmetros das junções e suas características com base na polarização do substrato, a fim de propor soluções para aperfeiçoar o citado transistor como, por exemplo, o baixo fluxo de corrente observado nos protótipos atuais.

Palavra-Chave: Barreiras Schottky. ^{BE}SOI MOSFET.

ABSTRACT

Current integrated circuits accompany us in virtually all activities, whether through new electronic systems, modes of communication or controlling production and transportation systems. The CI are very important because they perform complex information processing functions and despite their importance are relatively low cost components.

Its cost is low due to the possibility of building its basic device (MOSFET transistor) in very small dimensions, on the order of nanometers. With each new technological generation the devices get even smaller, it becomes possible to obtain more complex circuits, and with cost reduction. This virtuous cycle has allowed us decades of technological innovations and growing productivity. But the continuous reduction in dimensions quickly brings us closer to devices of atomic dimensions and the uncertainty about maintaining the pace of evolution in the coming decades.

One of the alternatives is to change the CI evolution strategy. Would it be if, instead of reducing dimensions to reduce the occupied area of a circuit, it was possible to use the same area for more than one function? This is a proposal that has been discussed and is called reconfigurable architectures. This is the idea of a reconfigurable transistor, which can change its mode of operation from a single polarization.

This work will study the behavior of drain and source Schottky junctions of reconfigurable BESOI MOSFET's transistors, specifically on the aluminum electrodes at the junction with low doping silicon (p) channel on an insulating layer (SOI), with different thicknesses of buried oxide and silicon channels, including in ultra thin SOI body and buried oxide sheets (UTBB - Ultra Thin Body Box).

For the study of this specific region, Kelvin's structures, special ones built on SOI sheets, already manufactured at the Laboratory of Integrable Systems of the University of São Paulo (LSI-USP), which are necessary to verify the electrical characteristics in the study region, will be used. from a current application between both junction directions and substrate polarizations.

Based on the experimental results and literature, we want to obtain the junction parameters and their characteristics based on the substrate polarization, in order to propose solutions to improve the aforementioned transistor, such as, for example, the low current flow observed in current prototypes.

Keywords: Schottky Barrier. ^{BE}SOI MOSFET.

LISTA DE ILUSTRAÇÕES

- Figura 1.1-Evolução dos CI's, seguindo a Lei de Moore
- Figura 1.2-Perfil transistor (BE) SOI MOSFET
- Figura 1.3-Vista superior e em corte estrutura Kelvin.
- Figura 2.1.1-Níveis de energia em função do espaçamento interatômico.
- Figura 2.1.2-Modelo de bandas de energia para dopantes em semicondutores
- Figura 2.2.1-Modelo de formação da região de depleção
- Figura 2.2.2-Modelo de polarização da junção PN
- Figura 2.3.1-Estrutura básica de um transistor NMOS
- Figura 2.3.2-Perfil transistor BESOI MOSFET
- Figura 2.3.3-Diagrama de bandas de transistores com canais PD SOI e FD SOI.
- Figura 2.3.4-Diagrama de bandas do transistor BESOI pMOSFET.
- Figura 2.4.1-Modelo de bandas de energia para junções Schottky de metais e semicondutores tipo N
- Figura 2.4.2-Modelo de bandas de energia para junções Schottky de metais e semicondutores tipo p
- Figura 2.4.3-Diagrama de bandas de energia de um contato de metal e semicondutor-n com defeitos na interface.
- Figura 2.4.4-Modelo de polarização de bandas de energia de contatos de metal com semicondutor tipo N e semicondutores tipo P
- Figura 2.4.5-Diagrama de bandas de energia de contatos de metal com semicondutor tipo N apresentando os cinco processos básicos de transporte de corrente em polarização direta.
- Figura 3.1.1-Arranjo experimental
- Figura 3.1.2- Perfil do transistor BESOI PMOSFET.
- Figura 3.1.3-Curvas características de um transistor MOSFET tipo N fabricado no LSI
- Figura 3.1.4-Curvas características de transistores BESOI PMOSFET fabricado no LSI para comprimentos de canais (L) variáveis
- Figura 3.1.5- Métodos de extração de VT
- Figura 3.1.6- Curvas de transferência de transistores BESOI PMOSFET para polarizações de VGB variáveis
- Figura 3.1.7- Curvas características de um transistor Nmosfet com comprimento de 50 μm fabricado no LSI
- Figura 3.1.8- Curvas características de transistores BESOI PMOSFET para polarizações de VGB variáveis

Figura 4.1.1- Estrutura Kelvin SOI

Figura 4.1.2- Modelo equivalente da estrutura Kelvin.

Figura 4.2.1-Resistência de contato

Figura 4.2.2-Curvas tensão por corrente de junções

Figura 4.2.3- Curvas tensão por corrente logarítmica pós regressão

Figura 4.2.4– Barreiras de potencial em função do campo elétrico gerado na segunda interface

LISTA DE TABELAS

Tabela 3.1- Tensões de limiares para os transistores ^{BE}SOI pMOSFET.

Tabela 4.1- Extração de parâmetros da barreira de potencial.

LISTA DE SÍMBOLOS

A^{**}	Constante de Richadson
A_0	Área de contato.
C_{ox}	Capacitância de óxido por unidade de área.
E_g	Energia de banda proibida.
G_m	Transcondutância.
$I(in)$	Corrente injetada sobre a junção.
$I(out)$	Corrente retirada sobre a junção.
I_0	Corrente de saturação.
I_d	Corrente de dreno.
L	Comprimento de canal.
N_a	Concentração de impurezas aceitadoras.
N_d	Concentração de impurezas doadoras.
n_i	Concentração intrínseca de portadores.
ϕ_{Bn}	Barreira de potencial para elétrons.
ϕ_{Bp}	Barreira de potencial para lacunas.
Q_D	Densidade de carga espacial na região de depleção.
Q_M	Densidade de carga espacial na no metal
R_k	Resistencia de contato.
SS	Inclinação sublimiar.
$TOXB$	Espessura do óxido enterrado.
$TOXF$	Espessura do óxido de porta.
TSI	Espessura do canal de silício
V_A	Potencial aplicado em A
V_B	Potencial aplicado em B
V_{bi}	Potencial aplicado sobre a junção.

V_{cont}	Potencial de contato.
V_{cont_new}	Novo potencial de contato.
V_d	Potencial de dreno.
V_{DS-SAT}	Tensão V_{DS} de saturação.
V_F	Tensão Forward bias
V_{FB}	Tensão de faixa plana
V_{GB}	Tensão na porta de programação (back gate).
V_{GS}	Tensão entre porta e fonte.
V_S	Tensão de fonte.
V_{TH}	Tensão de limiar.
V_{THn}	Tensão de limiar para formar o canal p.
V_{THp}	Tensão de limiar para formar o canal n.
W	Largura do transistor MOS.
W_d	Largura da região de depleção para junções Schottky.
W_{pn}	Largura da região de depleção para junções PN.
ϵ_i	Permissividade do silício
ϕ_0	Nível médio de carga de impurezas na junção.
E_F	Nível de Fermi.
ϕ_S	Função trabalho do semiconductor.

Sumário

1. Introdução	16
1.2. Objetivos	20
1.3. Materiais e Métodos.	20
1.4. ORGANIZAÇÃO DO TRABALHO.....	21
2. FUNDAMENTAÇÃO TEÓRICA.....	22
2.1. TEORIA DAS BANDAS DE ENERGIA.....	22
2.1.1. Estrutura da matéria.....	23
2.1.2. Semicondutores.	25
2.1.3. Nível de Fermi e função trabalho (ϕ).....	26
2.2. JUNÇÕES – PN. (DIODO).....	28
2.2.1. Formação da região de depleção.....	28
2.2.2. Características de polarização da junção.	29
2.3. Transistores MOSFETS.....	31
2.3.1. Transistores SOI MOSFET	32
2.3.2. Transistores SOI BEMOSFET	34
2.4. JUNÇÕES – SCHOTTKY’S.....	36
2.4.1. Defeitos de interface.....	39
2.4.2. Polarização da junção.	40
2.4.3. Processo de Transporte de Corrente.	42
3. INFLUÊNCIA DA SEGUNDA PORTAS NO ^{BE} SOI pMOSFET.....	44
3.1. Resultados experimentais.	44
4. INFLUÊNCIA DA SEGUNDA PORTA NA JUNÇÃO SCHOTTKY.	56
4.1. Características da estrutura Kelvin.	56
4.2. Resultados experimentais.	58
5. CONCLUSÃO E CONSIDERAÇÕES FINAIS.....	68
5.1. Sugestão de trabalhos.	68
Referências.....	70

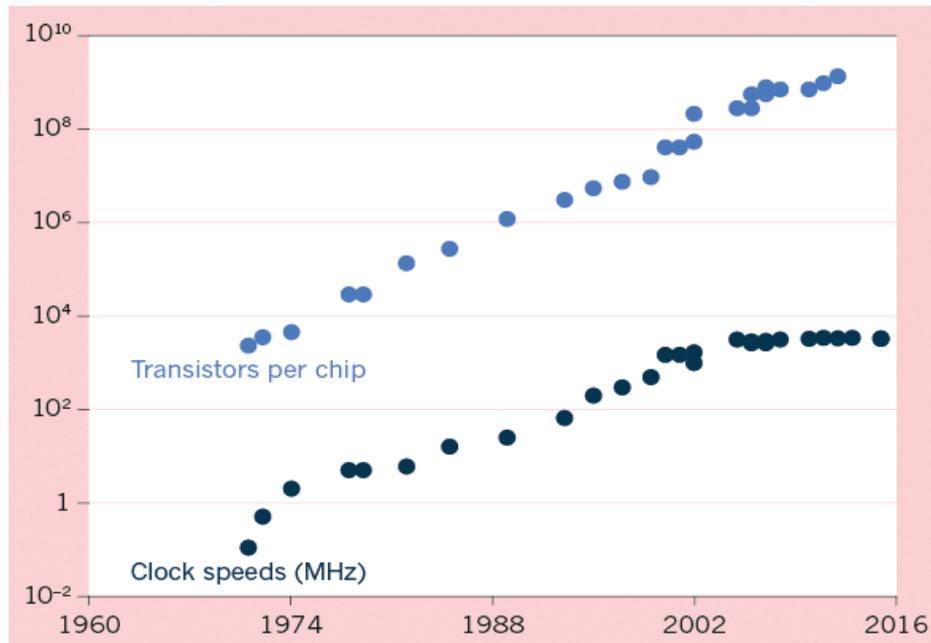
1. Introdução

A tecnologia de construção de circuitos integrados (CI's) evoluíram muito rapidamente desde sua implementação a ponto de alterar significativamente a cultura humana. Esta tecnologia alterou a forma como vivemos, por exemplo as comunicações: existem diversos meios de comunicação que somente são possíveis através dos CI's, entre eles a telefonia móvel, a internet, a captura eletrônica ou digitalização de imagens, as tecnologias de acesso remoto (sem fio, como Wi-Fi, Bluetooth, RFID) entre outras [1]. Também introduziu diversas novas ferramentas para o cotidiano como “Smartwatch”, Impressoras 3D; ou ainda aprimorou as funcionalidades de ferramentas já existentes como automóveis com assistente de estacionamento. Os CI's estão presentes desde os cartões bancários até os bilhetes de transporte público.

Atualmente, é realmente desafiador encontrar o mais simples objeto que não seja, em toda a sua cadeia de produção, beneficiado pela revolução tecnológica que os circuitos integrados introduziram no mundo [1].

Em 1965 surgiu uma proposta, atualmente conhecida como "Lei de Moore", de Gordon Moore (1965), co-fundador da Intel, que estabeleceu que o poder de processamento ou a quantidade de transistores nos microprocessadores deve dobrar a cada 12 meses para uma empresa ser competitiva no mercado, mas, posteriormente passou-se para 18 a 24 meses [2]. Esse esforço recebeu o nome de escalonamento e pode ser visualizado na Figura 1.1.

FIGURA 1.1. Evolução dos CI's, seguindo a Lei de Moore.



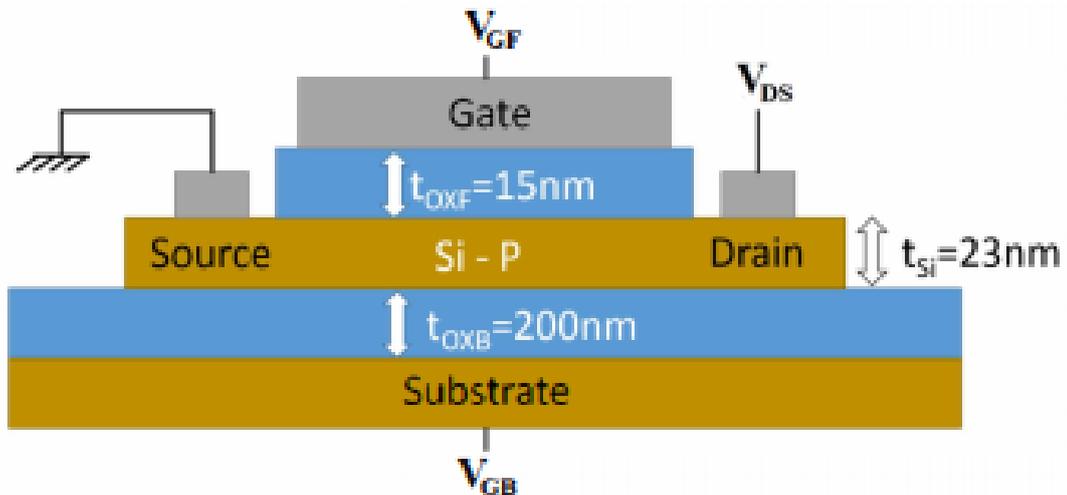
FONTE: <https://www.nature.com/news/the-chips-are-down-for-moore-s-law-1.19338>

Esta evolução acelerada está baseada na redução das dimensões do dispositivo básico que compõe os CI's, o transistor MOSFET. A progressiva redução de suas dimensões permite aumentar a complexidade dos circuitos e reduzir seu custo simultaneamente! Em geral, o custo destes dispositivos está diretamente relacionado a área que ocupam, por isso de forma simplificada, pode-se dizer que reduzir dimensões significa reduzir custos. Atualmente a construção destes dispositivos apresenta dimensões mínimas de 7-20nm [3]. Ou seja, estamos nos aproximando rapidamente de dimensões atômicas. O que nos leva a pergunta: será possível manter este ritmo de evolução tecnológica com a mesma estratégia de redução de dimensões pelas próximas décadas? Esta é a pergunta para a qual não há uma resposta fácil.

Há, no entanto, uma nova perspectiva de desenvolvimento, que é usar a mesma área de um CI para mais de uma função. É chamada de arquitetura reconfigurável [4]. Esta abordagem depende de um novo dispositivo, que seja reconfigurável também, isto

é, que possa trabalhar como um transistor tipo P ou tipo N alterando apenas uma polarização.

Figura 1.2. Perfil transistor BE SOI MOSFET



Fonte: Adaptado de Leonardo Yojo, Ricardo C. Rangel, Katia R. A. Sasaki & Joao A. Martino., Reconfigurable Back Enhanced (BE) SOI MOSFET used to Build a Logic Inverter.

O transistor BE (*Back Enhanced*) SOI MOSFET [5], desenvolvido e fabricado no Brasil e registrado pela patente de número BR 10 2015 020974 6, é uma alternativa para unir (i) as vantagens de dispositivos SOI (uma tecnologia amplamente conhecida e bem estabelecida na indústria [6][7]), com (ii) uma fabricação mais simples (sem dopagem e apenas três etapas de litografia [8]) e (iii) as características reconfiguráveis (podem funcionar como um tipo p ou n) apenas aplicando diferentes polarizações na porta de programação (“*back gate*”). A Figura 1.2 mostra esquematicamente o perfil deste transistor BE SOI MOSFET, e destaca a junção entre um metal e um semiconductor nas regiões de fonte e dreno.

Assim ao aplicar polarizações negativas na porta de programação – *back gate* (V_{GB}), esta tensão negativa formará uma camada de lacunas na segunda interface (Back interface), permitindo a condução de corrente elétrica entre os terminais de fonte e dreno, neste caso o transistor funciona com características tipo P. Analogamente, para polarizações suficientemente positivas na porta de programação será induzido um canal

de elétrons na segunda interface, possibilitando o fluxo de corrente de fonte para dreno, e neste caso o transistor apresenta características do tipo N.

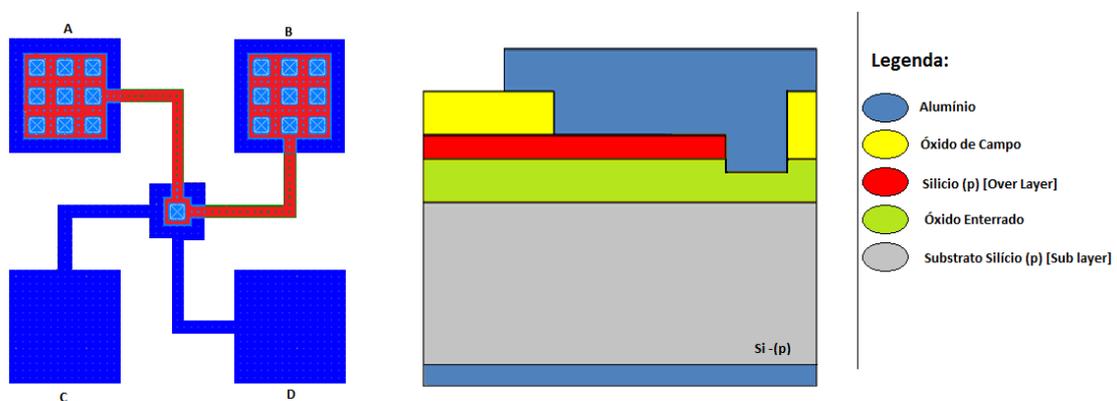
Para manter a característica reconfigurável o BE SOI MOSFET não conta com dopagens nas regiões de dreno e fonte [8, 9 e 10], e isto leva a formação de região de depleção entre o semiconductor e os eletrodos [11, 12], a região de destaque na Figura 1.2 representa a região da junção eletrodo e semiconductor.

Este tipo de junção é denominado Schottky, e comumente é formada Silício-n (dopantes doadores como Fósforo) e um metal, porém há junções Schottky's formadas por Silício-p (dopantes aceitadores como Boro), suas principais características são as rápidas velocidades de comutação e o resistir circulação de corrente em determinado sentido [11, 12].

Esta junção Schottky limita a capacidade de condução de corrente do BE SOI MOSFET em relação a transistores convencionais, por isto, o estudo desta junção permitirá compreender melhor os dispositivos atuais e permitirá projetar novas gerações do BE SOI MOSFET, incrementando seu desempenho.

Para o estudo desta região será necessária a utilização da estrutura Kelvin [13] especial devido a presença do óxido enterrado, conforme apresentada na Figura 1.3. Esta estrutura é utilizada para verificar a resistência de contato entre materiais, a partir da aplicação de uma corrente no sentido A-D podemos medir a variação do potencial de contato entre os materiais nos terminais B-C.

Figura 1.3. Vista superior e em corte estrutura Kelvin.



Fonte: Adaptada de Martino, J. A., Pavanello M. A. Caracterização elétrica de tecnologia e dispositivos MOS.

Visto que devido a polarização da porta de programação (V_{GB}) esteja alterando a concentração de portadores sobre toda a segunda interface do transistor, incluindo sobre os eletrodos de dreno e fonte, acredita-se que esta variação de concentração nos portadores na junção traga variações nas características Schottky's que serão estudadas no trabalho.

1.2. Objetivos

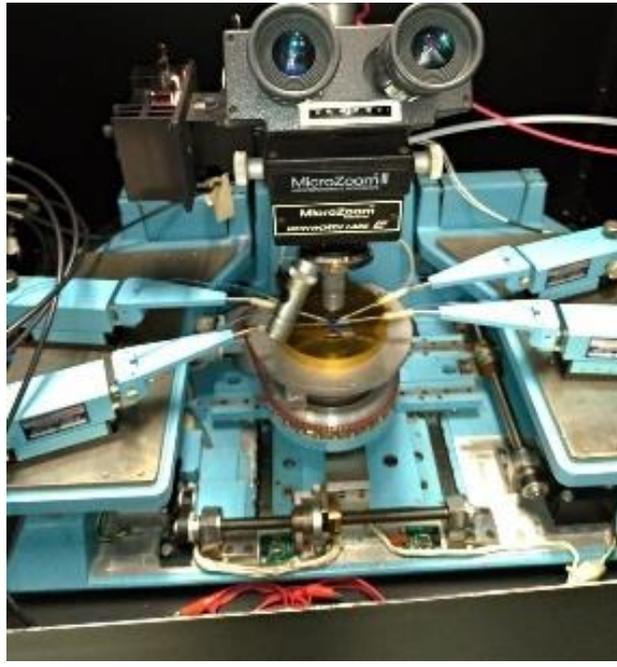
Este trabalho tem como objetivo apresentar as características de junções de Al_Si(P) e Ni_Si(P), estas junções são encontradas nos dispositivos BE SOI. A fim de propor uma solução de contorno para feitos deletérios causados por estas junções de baixa dopagem e solucionar problemas dos transistores BE SOI MOSFET, como a baixa circulação de corrente em comparação com outros transistores MOSFET's comerciais.

O trabalho irá comparar também o comportamento dos diferentes materiais de contato nas junções de dreno e fonte dos transistores BE SOI MOSFET construídos com espessura de óxido enterrado e silício sobre isolantes diferentes.

1.3. Materiais e Métodos.

Foi utilizado o analisador de parâmetros semicondutores "Agilent 4156C" acoplado a um microscópio para o posicionamento das micro pinças, arranjo é apresentado na Figura 1.4, este equipamento foi disponibilizado pelo LSI-USP com finalidade obter e registrar as medidas IxV das junções Schottky estudadas. Além equipamento foram disponibilizadas estruturas Kelvin previamente fabricadas de diferentes óxidos enterrados (200nm e 25nm) para metais de contato de alumínio, e estruturas Kelvin com contatos de níquel com óxidos enterrados com espessuras de 200nm.

Figura 1.4. Foto do arranjo experimental disponibilizado.



Fonte: Autor.

1.4. ORGANIZAÇÃO DO TRABALHO

Este trabalho está dividido em cinco capítulos, são eles:

1. Capítulo - Introdução do tema:

Neste capítulo abordamos resumidamente o tema do trabalho além de sua justificativa. Mostrando um breve histórico do desenvolvimento de circuitos integrados, além de uma breve apresentação do dispositivo que será estudado.

2. Capítulo - Fundamentação teórica:

Neste capítulo apresentada a base teórica do trabalho, necessárias para o entendimento do trabalho. Sendo discutidos os seguintes temas:

2.1-Teoria de bandas de energia.

2.2- Descrição de junções PN.

2.3- Transistores BE SOI -pMOSFET.

2.4- Descrição e apresentação das características de Junções Schottky's.

3. Capítulo - Influência da segunda porta no BE SOI MOSFET:

Exibe o comportamento real do transistor e suas características construtivas.

4. Capítulo – Influência da segunda porta na junção Schottky:

Exibe as caracterizações destas junções Schottky's presentes nos transistores BE SOI pMOSFET, retiradas a partir da polarização correta da estrutura Kelvin.

5. Capítulo - Conclusão e Considerações finais:

Este capítulo apresenta as conclusões obtidas no trabalho, apresenta propostas de trabalhos posteriores e as considerações finais.

2. FUNDAMENTAÇÃO TEÓRICA.

Neste capítulo apresentamos conceitos iniciais que serão necessários para o entendimento do trabalho, estes conceitos já foram revisados e serão baseados em referências derivadas de livros de dispositivos eletrônicos de estado solido.

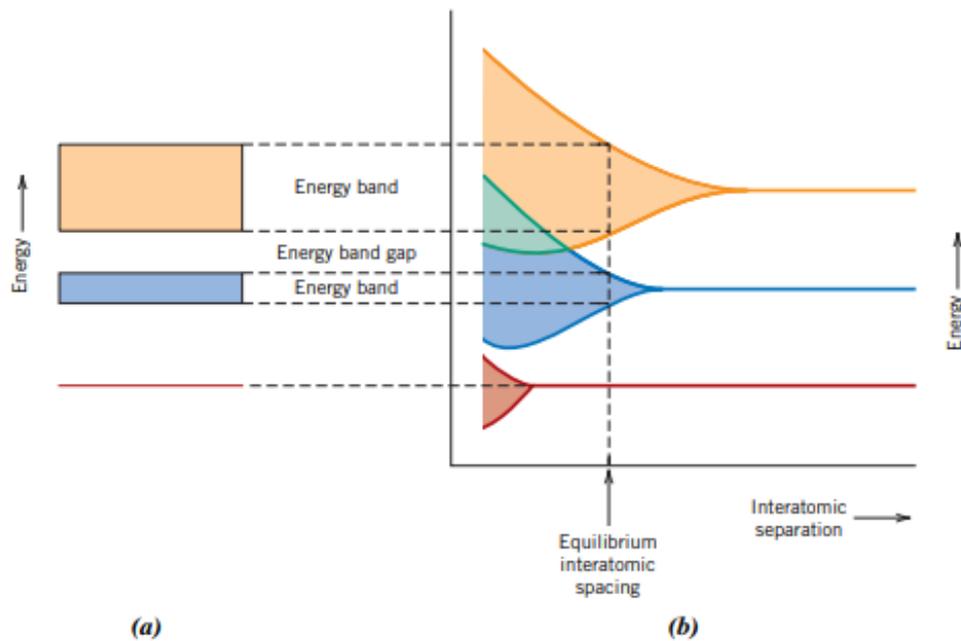
2.1. TEORIA DAS BANDAS DE ENERGIA.

A teoria de bandas de energia é essencial para compreender o funcionamento do dispositivo de estudado do trabalho. Para átomos isolados sabemos que há uma gama de níveis de energia possíveis que obedecem ao princípio de exclusão de Pauli, mostrando que a configuração eletrônica de um átomo isolado representa o arranjo dos elétrons dentro dos estados permitidos [14], entretanto quando se agrupa mais de um átomo, formando uma estrutura ou um sólido, há fatores importantes que deverão ser considerados.

2.1.1. Estrutura da matéria.

É de conhecimento geral que uma estrutura é formada de diversos átomos próximos e deve-se comportar diferentemente de átomos isolados, isso ocorre devido a uma perturbação causada pela aproximação das cargas de átomos vizinhos, como elétrons e os núcleos próximos, essa influência faz com que os níveis de energia se estreitem formando faixas de energia. Esse fenômeno poder ser visualizado na Figura 2.1.1(b), que apresenta a um gráfico dos níveis de energia em função do espaçamento atômico. A região de maior interesse nesse gráfico é dada quando o espaçamento interatômico atinge o equilíbrio, nessa região encontramos três bandas de energia que definem as características elétricas dos materiais conforme a Figura 2.1.1(a), em ordem crescente de energia encontramos a banda de valência, banda proibida e a banda de condução.

Figura 2.1.1 – Níveis de energia em função do espaçamento interatômico.



Fonte: Callister William D. & Rethwisch David G., MATERIALS SCIENCE and ENGINEERING - (9E, p. 729).

Os diagramas de bandas de energia se fazem necessário para definir quais as principais características elétricas dos sólidos, devemos observar o preenchimento das bandas no espaçamento interatômico de equilíbrio, além da diferença de energia entre as bandas de condução e valência, denominada como banda proibida, por exemplo materiais condutores facilitam a aceleração de elétrons sobre a influência de um campo elétrico, assim promovendo um alto fluxo de corrente elétrica dando como resultado sua baixa resistividade. Olhando para o diagrama de bandas da Figura 2.1.1(a), necessariamente as suas bandas de condução e valência para condutores devem estar semipreenchidas para que haja o transporte de carga, além disto os materiais condutores contam com uma banda proibida inexistente ou baixa possibilitando a transição dos portadores entre as bandas, essas características são encontradas em grande parte dos materiais metálicos. Quando discutimos as características dos isolantes, podemos pensar como o inverso dos condutores, logo suas bandas devem estar totalmente preenchidas, ou vazias, distanciadas por uma longa banda proibida para que não haja transferências de portadores entre as bandas adquirindo uma elevada resistividade.

2.1.2. Semicondutores.

Podemos também encontrar o terceiro tipo de material, o semicondutor, suas características se aproximam dos isolantes. Como por exemplo o silício, que contém sua banda de valência completamente preenchida e de condução vazia em 0K. Porém sua banda proibida é relativamente baixa, assim quando fornecemos energia suficiente para um elétron na banda de valência saltar para a banda de condução quebrando uma ligação, deixamos um buraco na banda de valência e um elétron livre na banda de condução, ambos livres para condução de corrente [14][15].

Este buraco na banda de valência podemos visualizar contendo uma carga inversa do elétron se locomovendo na direção de um campo elétrico, uma forma de tornar simples o entendimento do movimento da lacuna é imaginar que, para que uma lacuna se movimente em uma rede, ela deve trocar de lugar com um elétron próximo. Quando pensamos nesse movimento e comparamos com o movimento de um elétron em uma rede eles são exatamente iguais.

Isto é na banda de condução há um elétron livre precisa de uma lacuna contrária a direção do campo elétrico para se acomodar, e na banda de valência, uma lacuna disponível necessita de um elétron próximo e na direção do campo para se mover. Os semicondutores que contêm esta característica de gerar pares elétrons lacunas de formar igualitária são denominados semicondutores intrínsecos. Dessa forma ao longo do material encontramos a mesma concentração de ambos os portadores como sugere a Equação (1). Além disso podemos imaginar que a corrente elétrica no semicondutor é a soma das contribuições de ambos os portadores.

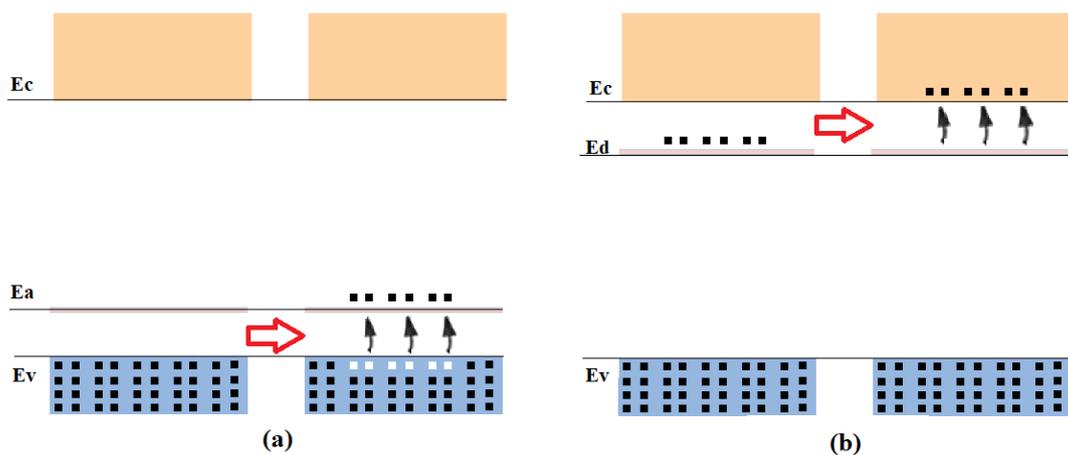
$$n_i = p = n \quad (1)$$

Ao fornecer energia térmica em semicondutores intrínsecos podemos observar que as concentrações de elétrons (n) e lacunas (p) serão igualitárias, entretanto podemos favorecer um tipo de portador introduzindo propositalmente impurezas em sua rede cristalina, esse processo é denominado de dopagem, dessa forma criaremos uma desproporcionalidade nas concentrações de portadores.

Há dois tipos de portadores de carga elétrons e lacunas, assim quando favorecemos os elétrons como portador de carga chamamos esse material de semiconductor tipo N, analogamente quando favorecemos as lacunas é um semiconductor tipo P [14]. Para favorecer esses portadores, pode-se introduzir no cristal elementos da família 3A como Boro, Alumínio e Gálio (elementos aceitadores) tornando-o tipo P, e elementos da família 5A como Fósforo, Arsênio e Antimônio (elementos doadores) tornando-o tipo N [12][14].

Desta forma em temperaturas ambientes teremos uma diferença nas concentrações intrínsecas, devido à proximidade do nível de valência preenchido do silício com o nível de valência vazia da impureza, no caso do silício-P. Já para o silício-N onde encontramos uma banda de condução vazia adicionamos esses elementos devido à proximidade entre as bandas de condução, devido à proximidade entre as bandas de condução e ao modo de preenchimento das bandas facilitando o salto do elétron para a banda de condução[14], podemos observar a transição dos elétrons após a adição uma baixa energia térmica na Figura 2.1.2.

Figura 2.1.2 – Modelo de bandas de energia para dopantes em semicondutores: (a) representação do modelo de bandas para elementos aceitadores; (b) representação do modelo de bandas para elementos doadores.



Fonte: Autor.

2.1.3. Nível de Fermi e função trabalho (ϕ).

Em semicondutores intrínsecos as concentrações de portadores se igualam no equilíbrio, como apresentado anteriormente. Nos semicondutores extrínsecos, essas concentrações são desproporcionais, havendo a necessidade de um referencial de comparação quando trabalhamos com uma junção. Este referencial o nível de Fermi, o qual pode ser descrito como:

- A energia média na qual encontramos uma probabilidade de 0,5 em encontramos um elétron (nível de energia onde a probabilidade de ocupação é meia) [15].

No semicondutor intrínseco como o silício este nível se encontra exatamente na metade da banda proibida, já para semicondutores extrínsecos este nível de energia pode ser visualizado conforme a função de distribuição apresentada na equação (2).

$$f(E) = \frac{1}{1 + e^{(E-E_f)/kT}} \quad (2)$$

Em um semicondutor extrínsecos temos uma elevada diferença de concentração de portadores em ambos os tipos, para um material tipo n temos uma elevada concentração de elétrons. Para este caso utilizando a função de distribuição há um deslocamento, se aproximando da banda de condução. Comparando com um semicondutor intrínseco este deslocamento ocorre conforme a concentração de total de elétrons[14]. Analogamente podemos pensar conforme a concentração de lacunas na rede do semicondutor o nível de Fermi é deslocado em direção a banda de valência.

Com estes entendimentos definiremos um novo nível de energia que será indispensável para estabelecer uma referência para as junções tratadas neste trabalho. Esta referência é chamada de função trabalho (ϕ), a função trabalho de um metal é definida como: A menor energia para retirar um elétron do material quebrando sua ligação, ou simplesmente a energia entre o nível de vácuo e o nível de fermi, [15] [16].

Esta quantidade é denotada por $q(\phi_m)$ para o metal e $q(\chi + \phi_n)$ para semicondutores, onde $q\chi$ é a afinidade eletrônica do elétron medida na região inferior a banda de condução E_c para o nível de vácuo, ϕ_n é a diferença entre E_c e o nível de Fermi do semicondutor.

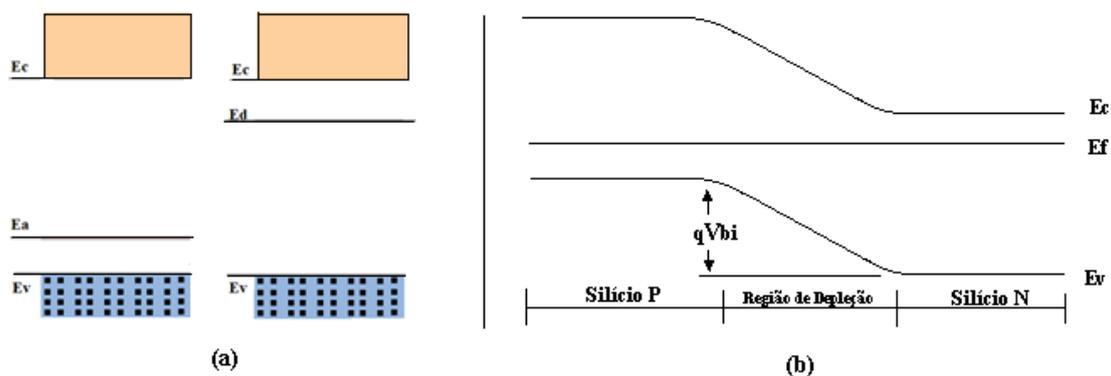
2.2. JUNÇÕES – PN. (DIODO)

O diodo ou diodo de junção PN, é um dispositivo composto por dois terminais, sendo formado através do contato entre semicondutores tipo P (Anodo) e o tipo N (Catodo). As características físicas dos diodos são variantes principalmente com sua geometria e seu perfil de dopagem, estas características podem ser projetadas conforme a necessidade, por conta de serem características definidas no processo de fabricação destes dispositivos.

2.2.1. Formação da região de depleção.

Para entender as características elétricas do dispositivo, decorrentes deste contato, recorreremos ao diagrama de bandas de energia de ambos os semicondutores. Esta representação pode ser observada na Figura 2.2.1 (a), que apresenta ambos os semicondutores separados por uma distância e isolados. Ao aproximar ambos os semicondutores obtendo um contato, observamos que os níveis de Fermi de ambos os materiais devem ser equilibrados conforme mostra a Figura 2.2.1(b).

Figura 2.2.1 – Modelo de formação da região de depleção: (a) Representação em bandas de energia isoladas de semicondutores P a esquerda e semicondutores N a direita; (b) Formação da junção PN em diagrama de bandas de energia.



Fonte: Autor.

A figura 2.2.1(b) mostra a formação do contato com ambos os materiais, para manter o nível de Fermi constante em ambos os materiais, há uma distorção nos níveis de valência e condução na região de junção, esta distorção é uma eletro migração dos portadores presentes no semicondutor N para o semicondutor P [14]. Deste modo há uma recombinação de portadores na região tipo P da junção em ambos os semicondutores,

assim criando uma região sem portadores de carga livre, resultando em um local isolante no contato da junção, esta região é denominada região de depleção [14].

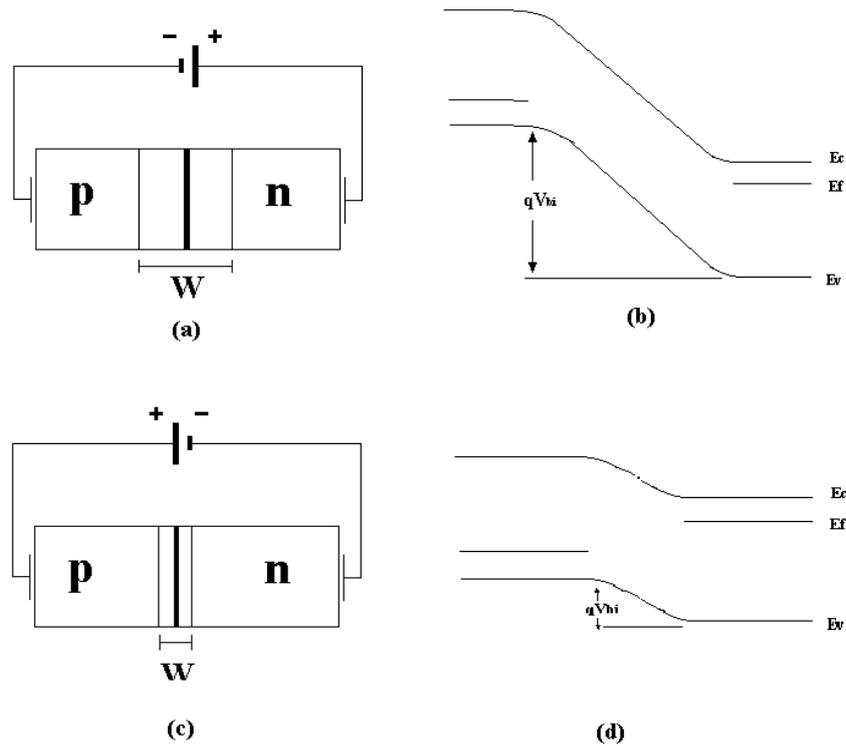
2.2.2. Características de polarização da junção.

Para compreender o comportamento do dispositivo em um circuito, deve-se primeiramente, interpretar as características físicas decorrentes a uma diferença de potencial aplicada em seus terminais. Para tal utilizaremos o silício N (Catodo) como a referência de um sinal aplicado ao silício P (Anodo), permitindo a visualização das características físicas de polarização do dispositivo.

Quando aplicado um sinal negativo segundo a referência do circuito mostrado na Figura 2.2.2(a), esta polarização faz com que os elétrons presente no silício N migrem para o semiconductor P, havendo uma recombinação de pares elétrons lacunas forçada pela fonte de tensão, fazendo com que a região de depleção aumente . Analogamente podemos pensar este efeito sobre as bandas de energia, conforme a Figura 2.2.2(b) mostra, observa-se que a barreira qV_{bi} aumenta, conseqüentemente aumentando a espessura da barreira, desta forma impedindo a migração de portadores entre a junção. Esta polarização é denominada polarização reversa [15][16].

Para polarizações positivas mostrada na Figura 2.2.2 (c), é observado um comportamento diferente, isto é a fonte retira os elétrons presentes no semiconductor P, isto força a região de depleção diminuir. Favorecendo a corrente de pela junção, à medida que a polarização aumenta a região de depleção diminui, até ser completamente superada pelos elétrons, nesta polarização temos um aumento exponencial de corrente atravessando a junção. Inversamente ao mencionado na polarização reversa, para o diagrama de bandas de energia mostrado na Figura 2.2.2 (d), temos uma queda na barreira qV_{bi} conforme o crescimento da polarização da junção, até que a barreira seja vencida e permita o fluxo de correte pela junção. Esta forma de polarização é denominada polarização direta [15][16].

Figura 2.2.2 – Modelo de polarização da junção PN: (a) Polarização reversa junção PN; (b) Diagrama de banda para polarização reversa; (c) Polarização direta junção PN; (d) Diagrama de banda para polarização direta;



Fonte: Autor.

As principais equações que descrevem o comportamento de uma junção PN são:

- (1) As características de tensão por corrente na junção, que podem ser expressas conforme a Equação (3), para correntes de polarização direta, e para corrente reversa pode ser expressa pela Equação (4), esta equação descreve um comportamento exponencial conforme sua polarização.
- (2) O potencial de contato, ou seja, a barreira que deve ser superada para que haja corrente entre a junção conforme a Equação (5).
- (3) Largura da região de depleção que é dada pela Equação (6).

$$J = J_0 \left[\exp\left(\frac{qV}{nkT}\right) - 1 \right] \quad (3)$$

$$I = I_{(gen)} \left[\exp\left(\frac{qV}{nkT}\right) - 1 \right] \quad (4)$$

$$V_{bi} = \frac{kT}{q} \ln \left(\frac{N_d * N_a}{n_i^2} \right) \quad (5)$$

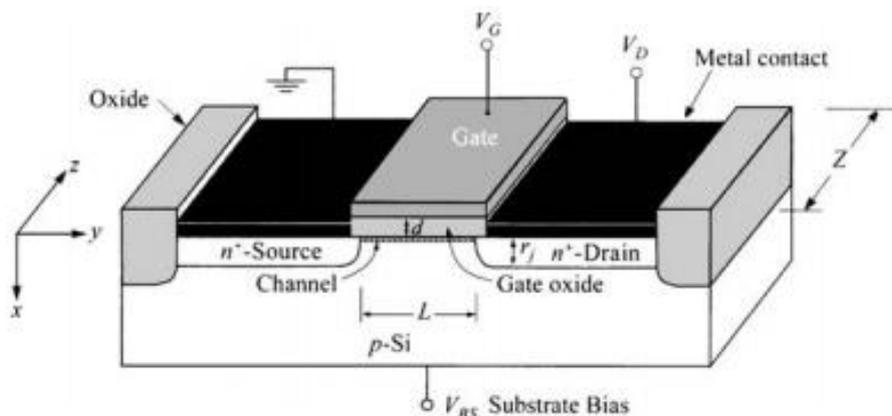
$$W_{pn} = \sqrt{\frac{2\epsilon}{q} * \left(\frac{1}{N_a} + \frac{1}{N_d} \right) * V_o} \quad (6)$$

2.3. Transistores MOSFETS.

O transistor é o dispositivo de maior importância para a evolução tecnológica, sendo empregadas em diversas operações, como por exemplo em lógicas digitais e amplificadores de sinais, além de outros. Entre os diversos tipos de transistores desenvolvidos encontramos os Transistores MOSFET'S que revolucionaram a tecnologia microeletrônica.

O dispositivo simplificada funciona a partir da polarização do capacitor MOS presente em sua estrutura, desta forma ao polarizar esta estrutura serão atraídos portadores minoritários para a região de interface semicondutora, estes portadores formarão um canal que permitirá a condução de corrente entre os terminais de dreno e fonte dos transistores, a Figura 2.3.1 apresenta a estrutura básica de um transistor NMOS.

Figura 2.3.1 – Estrutura básica de um transistor NMOS

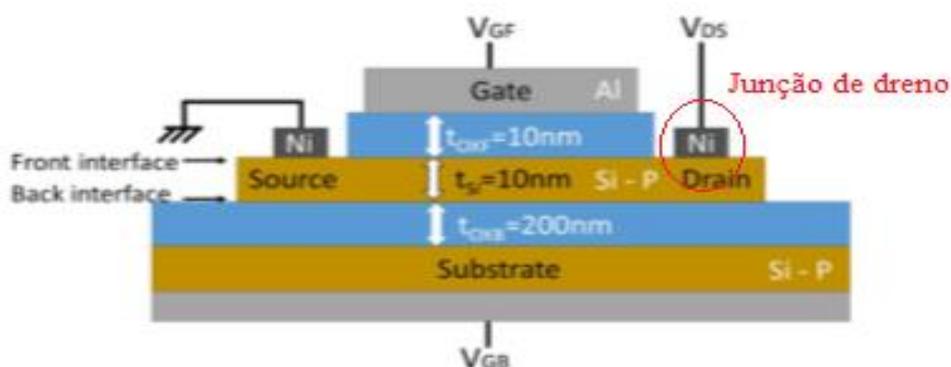


Fonte: Physics of Semiconductor Devices, 3rd Edition by S. M. Sze and Kwok K. Ng.

2.3.1. Transistores SOI MOSFET

Há diversos transistores que se beneficiam da utilização da tecnologia SOI (Silicon-on-Insulator), esta tecnologia se baseia em construir transistores sobre uma fina camada de silício sobre isolante. Uma de suas principais características em comparação com substratos convencionais é sua isolação, esta estrutura isola os 'bulks' dos transistores MOS de forma a prevenir efeitos como a presença do tiristor parasitário[17], além de outras características benéficas como redução de capacitâncias parasitárias e resistência a radiação[17]. A Figura 2.3.2 apresenta um dos tipos de transistor construído sobre uma lâmina SOI.

Figura 2.3.2. Perfil transistor BE SOI MOSFET



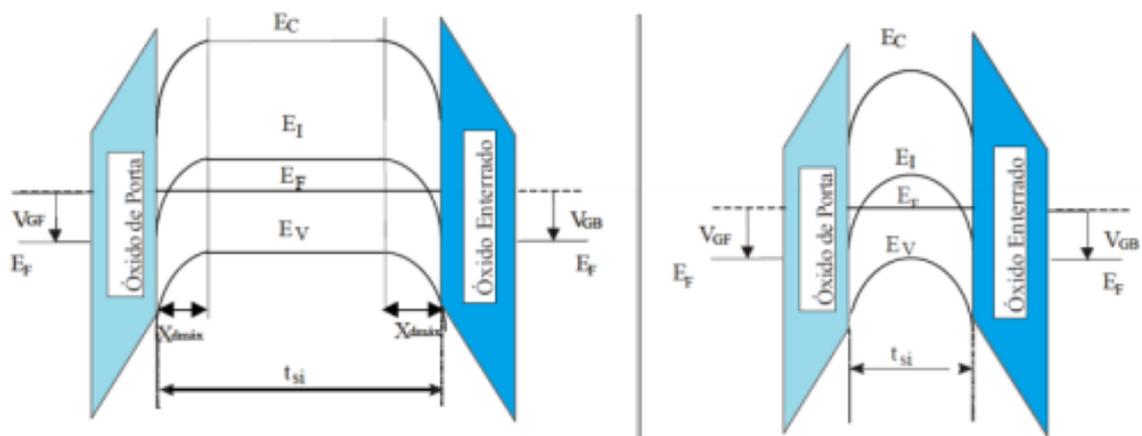
Fonte: Adaptado de Leonardo Yojo, Ricardo C. Rangel, Katia R. A. Sasaki & Joao A. Martino., Reconfigurable Back Enhanced (BE) SOI MOSFET used to Build a Logic Inverter

A tecnologia SOI influencia na região de depleção formada no canal de silício, formando duas regiões de depleção uma referente a porta do transistor na primeira interface e outra formada pela presença do SiO₂ enterrado (Óxido enterrado).

Dependendo da espessura da camada de silício a presença do óxido enterrado pode influenciar as características do dispositivo. Desta forma podemos encontrar dois tipos de Transistores SOI, estes são: (1) Parcialmente Depletados (PD SOI) e (2) Totalmente Depletados (FD SOI). Se a espessura do canal de silício é superior a soma das laguras máximas de ambas as regiões de depleção trata-se de um dispositivo PD SOI, este dispositivo não há um controle total do canal de silício.

Para dispositivos FD SOI as regiões de depleções provenientes dos óxidos de primeira e segunda interfaces se tocam ou se sobrepõem, desta forma a espessura de silício é menor que a soma de ambas as regiões de depleção. Este tipo de dispositivo adquire um maior controle de canal, apresentando características superiores em termos de transcondutância, menor efeito de canal curto e inclinação sublimiar próxima ao ideal. A Figura 2.3.3 mostra o diagrama de bandas de transistores com canais PD SOI (Esquerda) e FD SOI (Direita).

Figura 2.3.3 – Diagrama de bandas de transistores com canais PD SOI (Esquerda) e FD SOI (Direita)



Fonte: Colinge J.P., Silicon-on-Insulator technology.

Para que haja a formação de um canal de inversão na primeira interface de um dispositivo PD SOI, que possibilite posteriormente a passagem de corrente entre dreno e

fonte deve-se aplicar à porta uma polarização superior de limiar (V_{TH}), que pode ser calculado conforme a Equação (7), onde V_{FB} é a tensão de faixa plana expressa conforme a Equação (8).

$$V_{TH} = \frac{qNaXd(max)}{Cox} + 2\phi_F + V_{FB} \quad (7)$$

$$V_{FB} = \phi_{ms1} + \frac{Q_{ox}}{Cox} \quad (8)$$

Outras características importantes como a transcondutância que mede a variação da corrente na saída em relação à tensão aplicada na porta e expressa como a Equação (9); A inclinação sublimiar que é dada como o inverso da derivada da curva logarítmica de I_d por V_{GS} , este parâmetro é expresso em mV/Dec sendo importante de aplicações lógicas mostrando quão rápido o transistor muda de estado (Ligado e Desligado), é dado pela Equação (10).

$$G_m = \frac{dI_{DS}}{dV_{GS}} \quad (9)$$

$$S = \frac{dV_{GS}}{d(\log I_D)} \quad (10)$$

2.3.2. Transistores SOI BEMOSFET

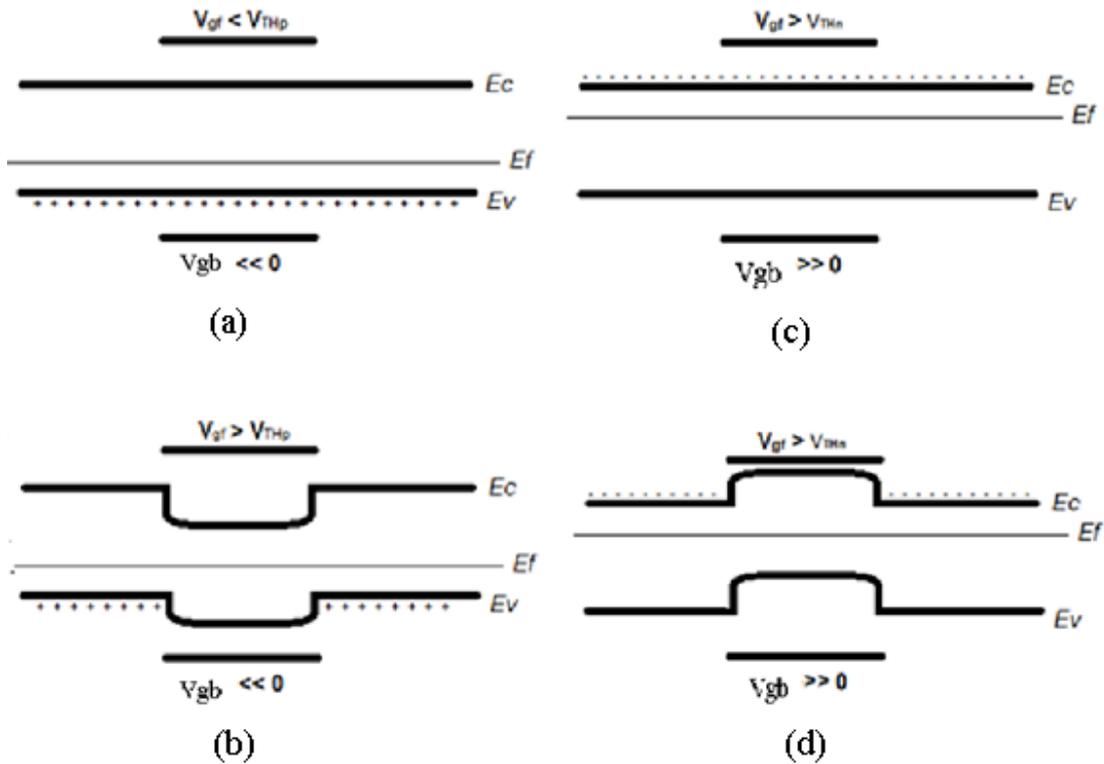
O transistor BE SOI MOSFET apresentado anteriormente na Figura 2.3.2 é um dos tipos de transistores construídos sobre lâmina SOI, sua peculiaridade é a possibilidade de programação para operar como um transistor MOS canal P ou canal N alterando apenas a polarização de suas portas. Foi desenvolvido e fabricado no Brasil pelo grupo SOI CMOS do Laboratório de sistemas Integráveis da Universidade São Paulo (USP) registrado pela patente de número BR 10 2015 020974 6, é uma alternativa para unir (i) as vantagens de dispositivos SOI (uma tecnologia amplamente conhecida e bem estabelecida na indústria [6,7]), com (ii) uma fabricação mais simples (sem dopagem e apenas três etapas de litografia [8]) e (iii) as características reconfiguráveis (podem funcionar como um tipo p ou n) apenas aplicando diferentes polarizações na porta de programação (“back gate”).

Seu funcionamento é totalmente baseado na polarização da porta de programação ou segunda porta (V_{GB}), a utilização do óxido enterrado como uma porta pode induzir

portadores para a segunda interface desta forma formando um novo canal entre fonte e dreno. Dependendo da polarização da porta de programação podemos transitar entre os modos de operação, por exemplo se aplicarmos uma diferença de potencial de inferior a -15V para um óxido enterrado de 200nm em V_{GB} formamos um canal de lacunas na segunda interface do semiconductor possibilitando a operação como um transistor pMOS. Analogamente podemos formar um canal de elétrons para polarizações positivas superiores a 15V em V_{GB} , assim o transistor opera como um transistor nMOS.

Seu funcionamento pode ser expandido para os diagramas de bandas conforme apresentando na Figura 2.3.3. A Figura 2.3.4 (a) exemplifica uma polarização onde atraímos lacunas na segunda interface e uma polarizada da primeira interface de forma a não depletar o canal ou seja, $V_{GS} < V_{THp}$, desta forma há um canal de lacunas livres para a condução de corrente conforme a aplicação de tensão em V_{DS} , inversamente temos a situação (c) onde atraímos lacunas com a segunda interface e permitimos esta formação de canal com um $V_{GS} > V_{THn}$. Caso V_{GS} não supere o módulo de V_{TH} , os portadores serão depletados como mostrado nas Figura 2.3.4 (b) e (d).

Figura 2.3.4 – Diagrama de bandas do transistor ^{BE}SOI pMOSFET.



Fonte:Autor.

2.4. JUNÇÕES – SCHOTTKY’S.

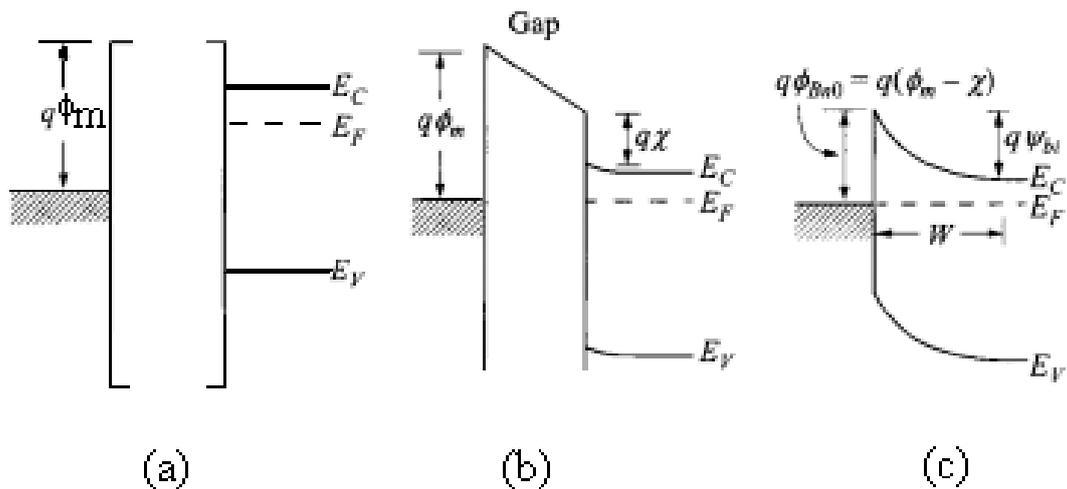
As junções Schottky são contatos entre metais e semicondutores em que há a formação de uma região de depleção nestes contatos. Características semelhantes as junções PN são encontradas. Em geral, apresentam baixa queda de tensão em condução e uma elevada velocidade de comutação, devido a região de depleção formar-se apenas para a região do semicondutor, apresentando poucas cargas armazenadas durante a comutação. Estas junções são encontradas em aplicações de alta frequência como por exemplo em sistemas de telecomunicações, ou intrinsecamente nos contatos de dreno e fonte de transistores BESOI MOSFET, entre outros dispositivos e estruturas.

Para o estudo desta junção faz-se necessário analisar diagramas de banda de energias dos sólidos. A Figura 2.4.1 (a) mostra o diagrama de bandas para metais e

semicondutores de tipo N ideais afastados (antes do contato), observa-se que a função trabalho deste metal é superior a função trabalho do semiconductor, que pode ser calculado conforme a Equação (11). Por conta de características físicas dos materiais, há uma diferença entre os níveis de Fermi de ambos os materiais, onde a energia nível de Fermi do semiconductor N é superior ao do metal [16].

Ao aproximar os materiais ainda não havendo um contato metalúrgico, porém conectados no mesmo sistema conforme a Figura 2.4.1 (b) sugere, os elétrons do semiconductor ainda estão em um nível energético maior que o elétrons presentes no metal, para que haja uma igualdade neste nível de energia, ou seja os níveis de Fermi de ambos os materiais se igualem, haverá uma migração de elétrons do semiconductor para o metal. Portanto quando houver uma junção formada, deve haver migração de elétrons do semiconductor para metal, que deixara íons positivos em regiões próximas a junção, distorcendo bandas dos semicondutores por conta da baixa presença de elétrons na região próxima ao contato, conforme a Figura 2.4.1 (c) apresenta.

Figura 2.4.1 – Modelo de bandas de energia para junções Schottky de metais e semicondutores tipo N: (a) Bandas de energia para metais e semicondutores de tipo N ideais afastados; (b) Diagrama de banda para sistemas comunicáveis; (c) Diagrama de bandas após a junção metalúrgica dos materiais.



Fonte: Physics of Semiconductor Devices, 3rd Edition by S. M. Sze and Kwok K. Ng.

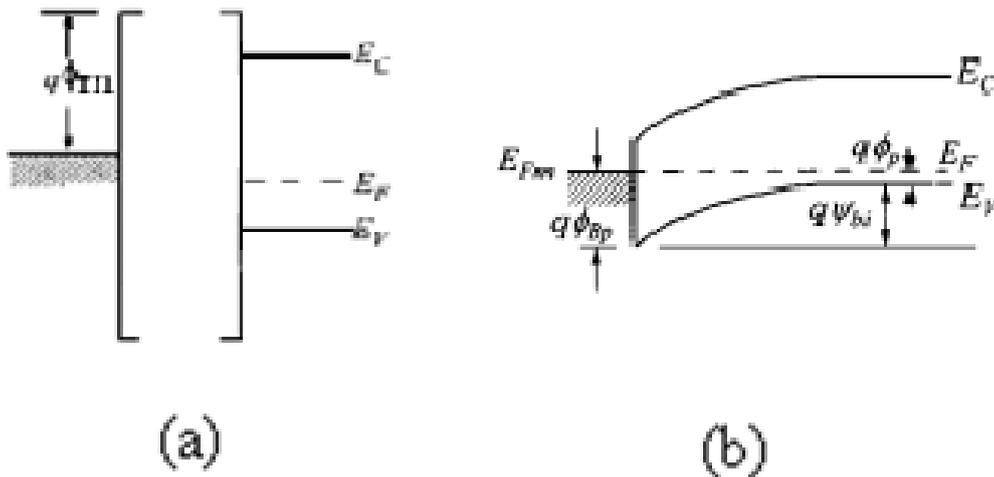
$$\phi_S = (\chi + E_c) \tag{11}$$

Nota-se que há a formação de uma barreira de potencial que os elétrons devem vencer para migrarem do semiconductor para o metal, esta barreira pode ser calculada

conforme a Equação (12). Essa equação indica que quanto maior a função trabalho deste metal ou menor a função trabalho do semiconductor, maior será a barreira de potencial (ϕ_{Bn}). Analogamente podemos descrever estes digramas para semicondutores de tipo p, conforme a Figura 2.4.2 (a). Para equilibrar os níveis de Fermi de ambos os materiais, ocorre uma migração de elétrons do metal para a região de junção do semiconductor, curvando as bandas de condução e valência nesta região, isso indicado uma menor concentração de lacunas na região e a formação íons fixos negativos em regiões próximas a junção. Forma-se assim uma região de depleção apenas no semiconductor, mostrado na Figura 2.4.2 (b) e de pode ser descrita conforme a Equação (13) .

Figura 2.4.2 – Modelo de bandas de energia para junções Schottky de metais e semicondutores tipo p: (a) Bandas de energia para metais e semicondutores de tipo p ideais afastados; (b) Diagrama de banda para sistemas comunicáveis; (c) Diagrama de bandas após a junção metalúrgica dos materiais.

p-type semiconductor



Fonte: Physics of Semiconductor Devices, 3rd Edition by S. M. Sze and Kwok K. Ng.

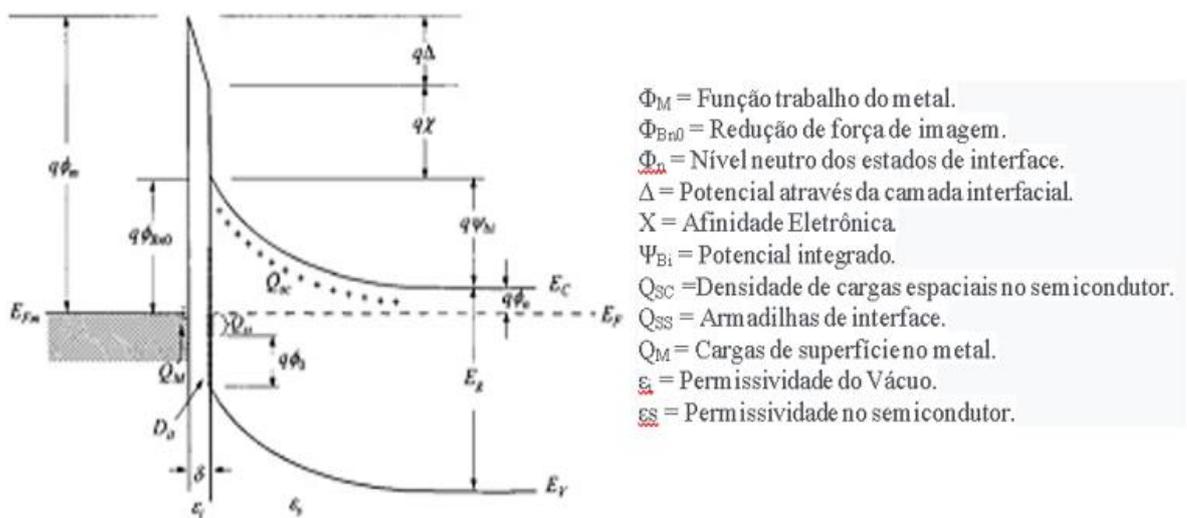
$$q\phi_{Bn} = q(\phi_m - \chi) \quad \text{ou} \quad \phi_{Bp} = E_g - q\phi_{Bn} \quad (12)$$

$$Wd = \sqrt{\frac{2\epsilon_s}{qNd}} \left(\Psi_{bi} - V - \frac{kT}{q} \right) \quad (13)$$

2.4.1. Defeitos de interface.

Em junções Schottky's reais, existem defeitos na junção (interface) do semicondutor com o metal, derivado de defeitos cristalográficos, como descontinuidade na rede cristalina e impurezas nas superfícies do semicondutor gerados em processos de fabricação. Um diagrama de bandas de energias para estes defeitos pode ser observado conforme a Figura 2.4.3 a seguir.

Figura 2.4.3 – Diagrama de bandas de energia de um contato de metal e semicondutor-n com defeitos na interface.



Fonte: Traduzida de Physics of Semiconductor Devices, 3rd Edition by S. M. Sze and Kwok K. Ng.

Os níveis de energias mais importantes são:

(1) ϕ_0 localizado acima de E_v é chamado de nível neutro, que é o nível para que as cargas efetivas dos estados de interface sejam nulas ou seja, uma energia média dos estados de interface. Se este nível se localizar exatamente no nível de Fermi do semiconductor, as cargas armadilhadas na interface tem um valor líquido igual a zero ($Q_M + Q_D + Q_{ss} = 0$). Analogamente se este nível é superior ao nível de Fermi, ou seja, apresentam uma carga efetiva (Q_{ss}) positiva, que representa as cargas na superfície, as cargas armazenadas na região de depleção (Q_D) deve ser menor para balancear as cargas na superfície. Logo a largura da região de depleção é menor, e conseqüentemente há um menor encurvamento das bandas [15][16], sendo necessários uma menor migração de elétrons para o metal a fim de nivelar o nível de Fermi, resultando em uma menor energia ϕ_{Bn0} .

(2) ϕ_{Bn0} que é a altura da barreira do contato entre semiconductor e metal, esta é a energia que os elétrons devem superar para ir do metal para o semiconductor. Assim a altura efetiva da barreira Schottky é dada pela Equação (14), onde ϕ_0 pode assumir valores inferiores e superiores ao nível de Fermi do semiconductor.

$$\phi_{Bn0} = \frac{E_g}{q} - \phi_0 \quad (14)$$

2.4.2. Polarização da junção.

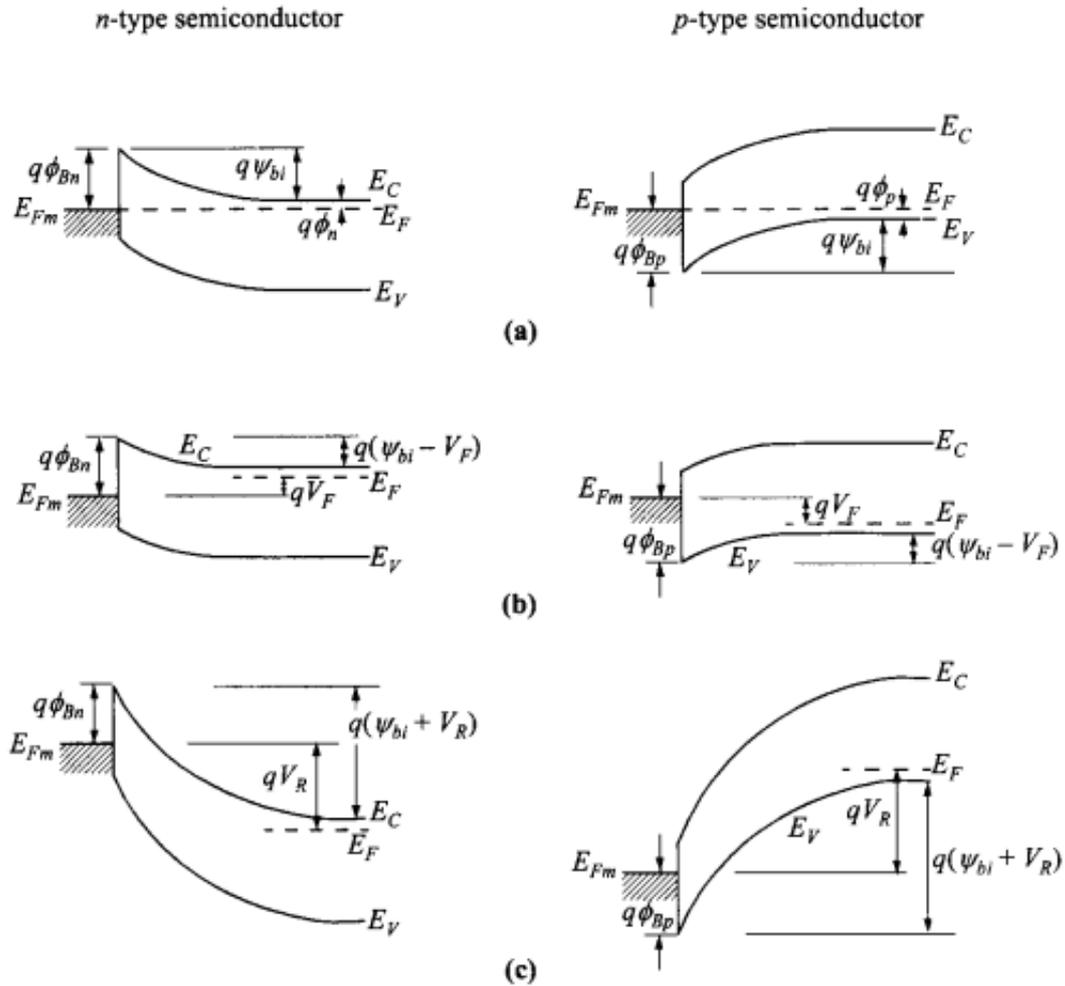
Ao polarizar esta junção observamos da mesma forma que o apresentado nas junções PN, que o dispositivo se comporta como um retificador, isto é, impedindo a passagem de corrente elétrica em um sentido de polarização, ou adquirindo uma característica exponencial de alta condução de corrente em polarização direta, além de variações na barreira de potencial.

Para que haja um fluxo de elétrons significativos do semiconductor-n para o metal estes elétrons devem superar a barreira Ψ_{Bi} observado na Figura 2.4.2. Para isso deve-se fornecer um potencial maior no metal em relação ao semiconductor, da mesma forma que na polarização direta de uma junção PN os elétrons irão retornar aos íons formados próximos a junção, diminuindo a curvatura das bandas conforme a energia fornecida representada de (qV_F) . Portanto o novo valor de barreira é calculado como $(q[\Psi_{bi} - V_F])$ [16].

O valor limite para esta equação é quando Ψ_{bi} for igual a V_F . Neste caso não há íons na região de junção do semiconductor e portanto não há uma região de depleção formada, fazendo com que os elétrons migrem para o metal. Analogamente para polarização reversa as junções Schottky's de tipo N, caso haja uma fonte de modo a tentar injetar uma corrente na direção do semiconductor para o metal ou seja, um fluxo de elétrons do metal para o semiconductor, a fonte irá retirar os elétrons presentes no semiconductor e injetar no metal conforme uma energia qV_F aplicada isto aumentará a região de depleção formada no semiconductor e aumentará a barreira de potencial formada na junção.

Quando tratamos de junções Schottky's de tipo P, a polarização da junção é inversa, devemos aplicar um potencial maior no semiconductor para retirar os elétrons recombinados próxima a região de junção para que seja possibilitada um fluxo de corrente elétrica entre a junção, e inversamente para formar uma maior região de depleção ou elevar esta barreira de potencial de forma a impedir a passagem de corrente através da junção. Observamos os diagramas de bandas para estas polarizações conforme a Figura 2.4.4.

Figura 2.4.4 – Modelo de polarização de bandas de energia de contatos de metal com semicondutor tipo N (a esquerda) e semicondutores tipo P (a direita): (a) Em equilíbrio térmico; (b) Para polarizações diretas; (c) Para polarizações reversas.



Fonte: Physics of Semiconductor Devices, 3rd Edition by S. M. Sze and Kwok K. Ng.

2.4.3. Processo de Transporte de Corrente.

O transporte de corrente em uma junção Schottky deve-se principalmente aos portadores majoritários. Para compreender as principais formas de corrente que ultrapassam esta junção necessitamos da Figura 2.4.5 que ilustra os cinco processos básicos de transporte de corrente em polarização direta com um nível ϕ_0 na junção.

Estes são: (1) Emissão termiônica (TE), onde elétrons ultrapassam a barreira ϕ_{Bn} , isto é, os elétrons adquirem uma energia térmica superior ao valor desta barreira logo para atravessá-la estes portadores perdem energia, esta corrente pode ser calculada conforme a Equação (3) apresentada anteriormente; (2) Tunelamento; (3) Recombinação de portadores; (4) Difusão de elétrons; (5) Difusão de lacunas.

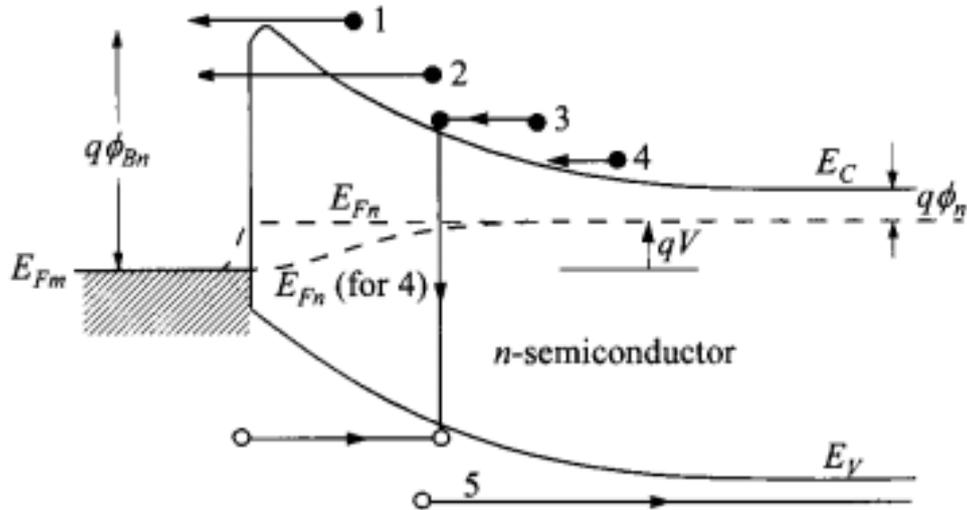


Figura 2.4.5 – Diagrama de bandas de energia de contatos de metal com semicondutor tipo N apresentando os cinco processos básicos de transporte de corrente em polarização direta.

Fonte: Physics of Semiconductor Devices, 3rd Edition by S. M. Sze and Kwok K. Ng.

O tunelamento ocorre quando o elétron adquire uma energia cinética relativamente grande e, como em seu nível de energia a espessura da barreira é pequena, então ele ultrapassa a barreira contribuindo para a corrente na junção. Este fenômeno pode ocorrer de duas formas, estas são: (1) Emissão de Campo (FE) o elétron com elevada energia cinética migra para o metal tunelando a barreira em um nível de energia próxima ao nível de Fermi do semicondutor. (2) Emissão de Campo Termiônica (TFE), neste caso o portador tem uma energia superior ao nível de Fermi, porém não é suficiente para ocorrer a Emissão termiônica (TE), e com uma energia cinética ele ultrapassa a barreira de potencial em um nível de energia menor que TE, porém superior ao nível de Fermi.

3. INFLUÊNCIA DA SEGUNDA PORTA NO ^{BE}SOI pMOSFET.

Neste capítulo mostraremos resultados experimentais retirados a partir de caracterizações elétricas de transistores BE SOI pMOSFET feitas por intermédio do analisador de parâmetros semicondutores ‘Agilent 4156C’ mostrando suas respectivas características como, formas de polarização e dimensões do dispositivo.

3.1. Resultados experimentais.

Para que haja uma corrente entre dreno e fonte no dispositivo necessitamos de três fontes de tensão, desta forma para polarizar os contatos de dreno (V_D), porta (V_{GF}) e porta de programação (V_{GB}), necessitando de uma referência no terminal de fonte do transistor (V_S), desta forma o arranjo utilizado é ilustrado na Figura 3.1.1 (a), e a Figura 3.1.1(b) ilustra o real equipamento de medição utilizado.



Figura 3.1.1 – Arranjo experimental: (a) Arranjo utilizado para posicionamento das micro pinças no pad de contato (a esquerda); (b) Equipamento de medição (a direita).

Fonte: Autor.

Os semicondutores são em geral sensíveis a radiação, por conta deste motivo utilizou-se uma gaiola de Faraday opaca, para que não haja influência dos tipos de radiações nas medidas, desta forma as características observadas posteriormente são provenientes do transistor, com as seguintes características provenientes da fabricação e polarização, a Figura 3.1.2 ilustra o perfil do transistor BE SOI pMOSFET seus terminais.

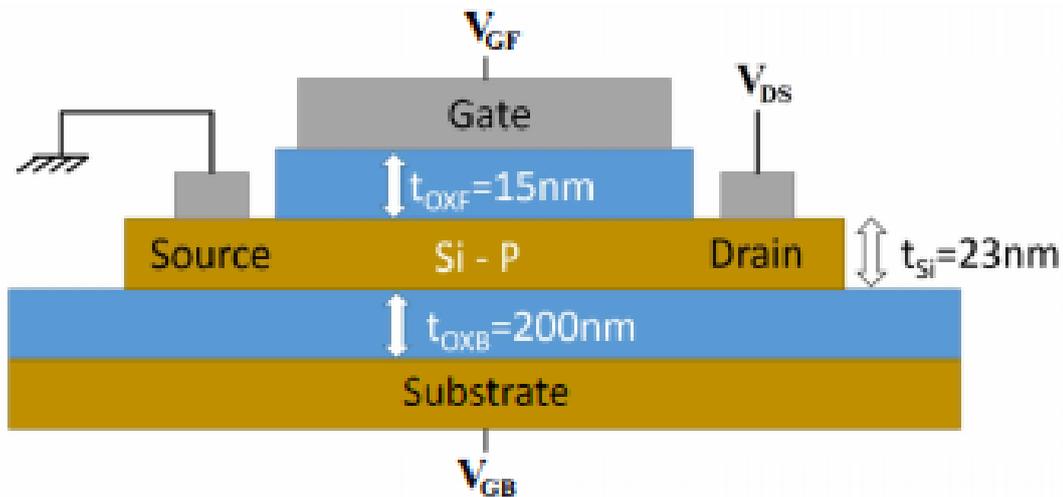
Características Estruturais:

- $T_{\text{OXB}} = 200 \text{ nm}$.
- $T_{\text{OXF}} = 15 \text{ nm}$.
- $T_{\text{Si}} = 23 \text{ nm}$.
- $W = 10 \text{ }\mu\text{m}$.
- $L = 50/40/30 \text{ }\mu\text{m}$.

Características para polarização:

- $V_{\text{DS}} = -100 \text{ mV}$ (Para baixo campo elétrico).
- $V_{\text{GF}} = -2 \text{ até } 4 \text{ V}$ (Para passos de 20 mV).
- $V_{\text{BG}} = -15 \text{ até } -35 \text{ V}$ (Para passos de -5 V).

Figura 3.1.2 – Perfil do transistor BESOI PMOSFET.



Fonte: Back Enhanced (BE) SOI pMOSFET.

Há diversas curvas que podem ser retiradas de transistores MOSFET convencionais, porém apenas as mais comuns serão tratadas e caracterizadas. Que são: (1) As curvas da corrente de dreno (I_{D}) versus a tensão de dreno (V_{D}) em função da tensão de porta (V_{GF}), onde a Figura 3.1.3 (a) ilustra um exemplo. (2) A curva de corrente de dreno (I_{D}) versus a tensão de porta (V_{GF}) mostrada na Figura 3.1.3 (b).

Estas curvas mostram características importantes sobre o funcionamento do dispositivo, como a polarização em corte quando a tensão de porta não é suficiente para formar um canal de portadores na primeira interface, a região de saturação onde o dispositivo conduz a máxima corrente quase que independente da tensão de dreno (V_D) quando ($V_{GF} > V_T$) e ($V_{DS-SAT} > V_{GF} - V_T$), e a região intermediária denominada ôhmica quando ($V_{GF} > V_T$) porém ($V_{DS-SAT} < V_{GF} - V_T$).

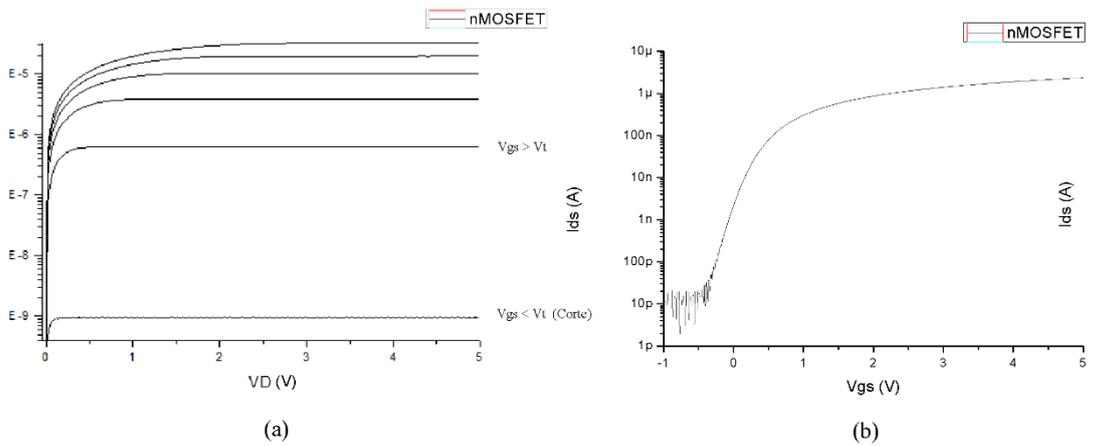
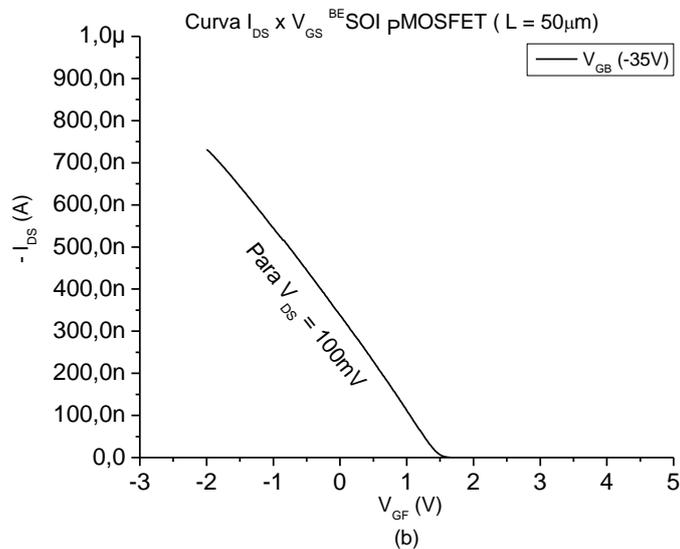
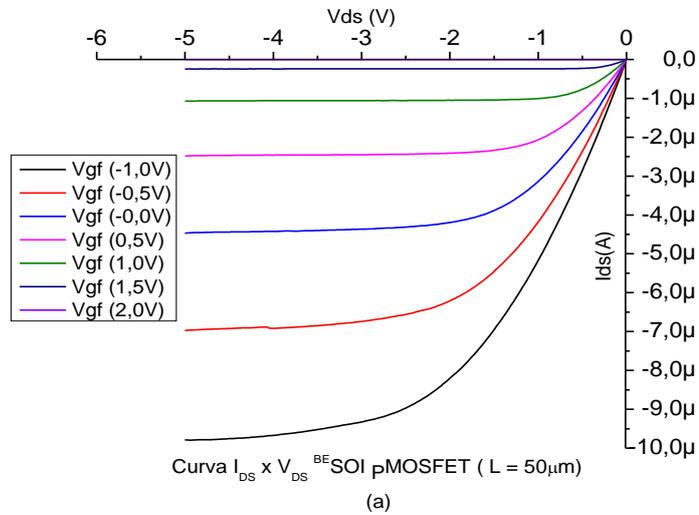


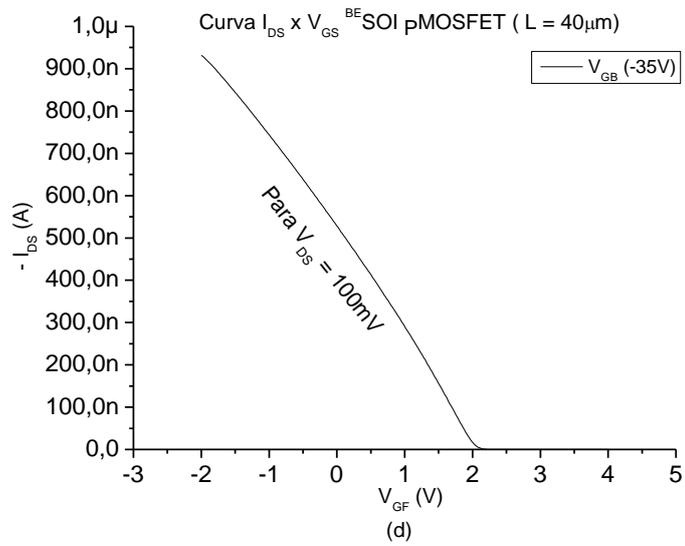
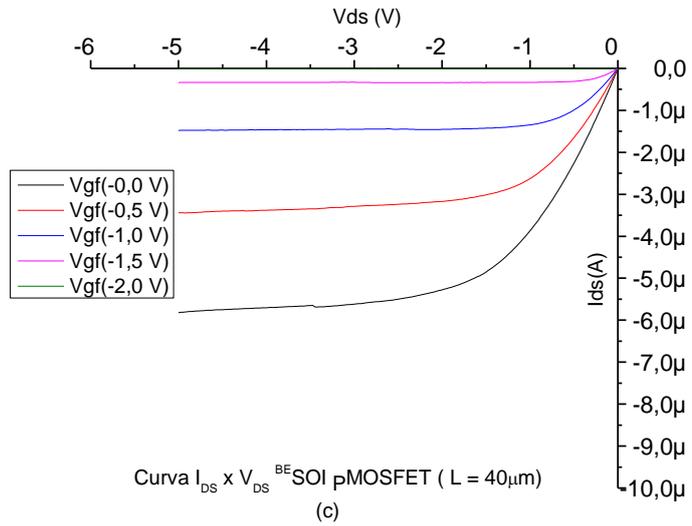
Figura 3.1.3 – Curvas características de um transistor MOSFET tipo N fabricado no LSI ($W=10\ \mu\text{m}$ e $L=50\ \mu\text{m}$): (a) Curva de saída; (b) Curva de transferência.

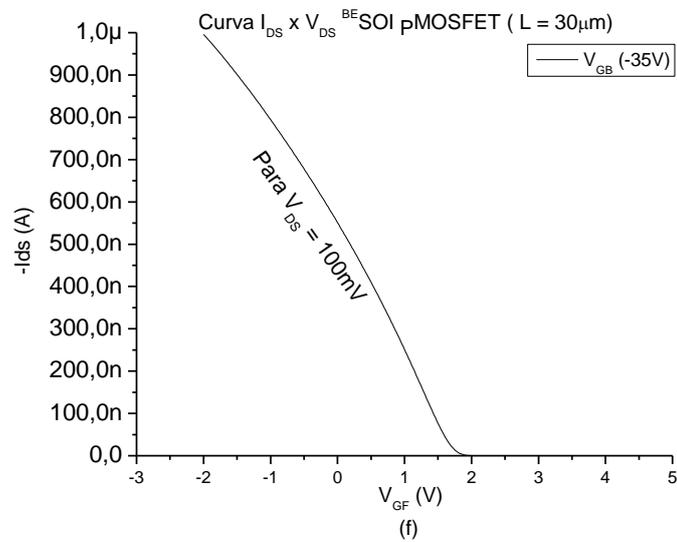
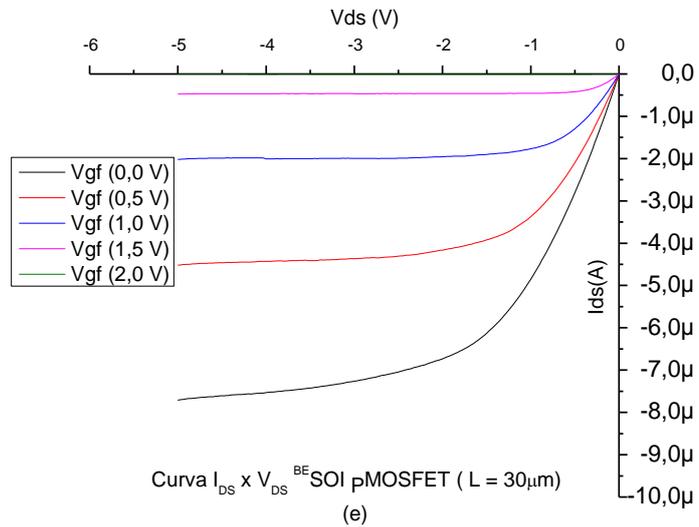
Fonte: Autor.

A Figura 3.1.4 em geral apresenta as curvas de saída e as curvas a de transferência para os transistores BE SOI p MOSFET em uma polarização constante em V_{BG} com as características anteriormente expostas onde, para as Figura 3.1.4 (a) e (b) são para transistores de $50\ \mu\text{m}$, as Figura 3.1.4 (c) e (d) são para transistores de $40\ \mu\text{m}$ e as Figura 3.1.4 (e) e (f) são transistores de $30\ \mu\text{m}$. É importante ressaltar que para as curvas de transferências da Figura 3.1.4 está mostrado a corrente em termos de $-I_{ds}$, isto significa que a corrente de dreno é negativa para esta polarização como um transistor Pmosfet convencional, este formato de corrente ($-I_{ds}$) será necessário posteriormente para retirar curvas logarítmicas.

Figura 3.1.4 – Curvas características de transistores ^{BE}SOI pMOSFET fabricado no LSI para comprimentos de canais (L) variáveis: (a) Curva de saída para comprimento de 50 μm; (b) Curva de transferência para comprimento de 50 μm; (c) Curva de saída para comprimento de 40 μm; (d) Curva de transferência para comprimento de 40 μm; (e) Curva de saída para comprimento de 30 μm; (d) Curva de transferência para comprimento de 30 μm.







Fonte: Autor.

Experimentalmente podemos extrair características como a tensão V_T , que representa a tensão necessária para formação do canal de portadores na primeira interface, podemos extrair esta característica de duas formas, estas são: (1) Extrapolação linear da curva de transferência (I_{DS} por $[V_{GF}]$ ou $[V_{GS}]$), mostrada pela Figura 3.1.5 (a) para transistores Nmosfet convencionais de 50 μ m. (2) Segunda derivada de I_{DS} por V_{GS} [13], onde pode ser visualizado na Figura 3.1.5 (b) abaixo.

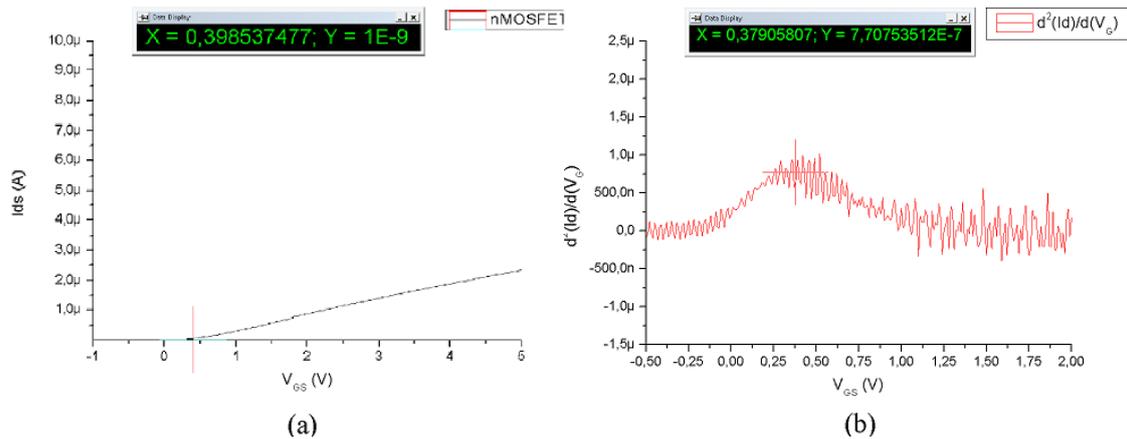


Figura 3.1.5 – Métodos de extração de V_T : (a) Regressão linear até $I_{ds} \cong 0$; (b) Extração a partir do máximo da segunda derivada da curva I_{ds} por V_{GS} .

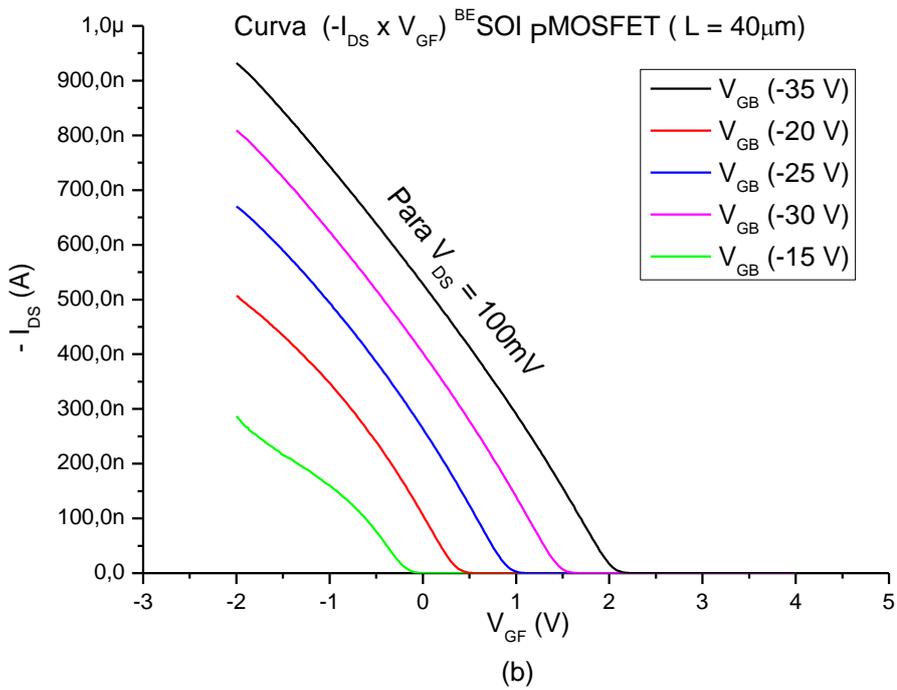
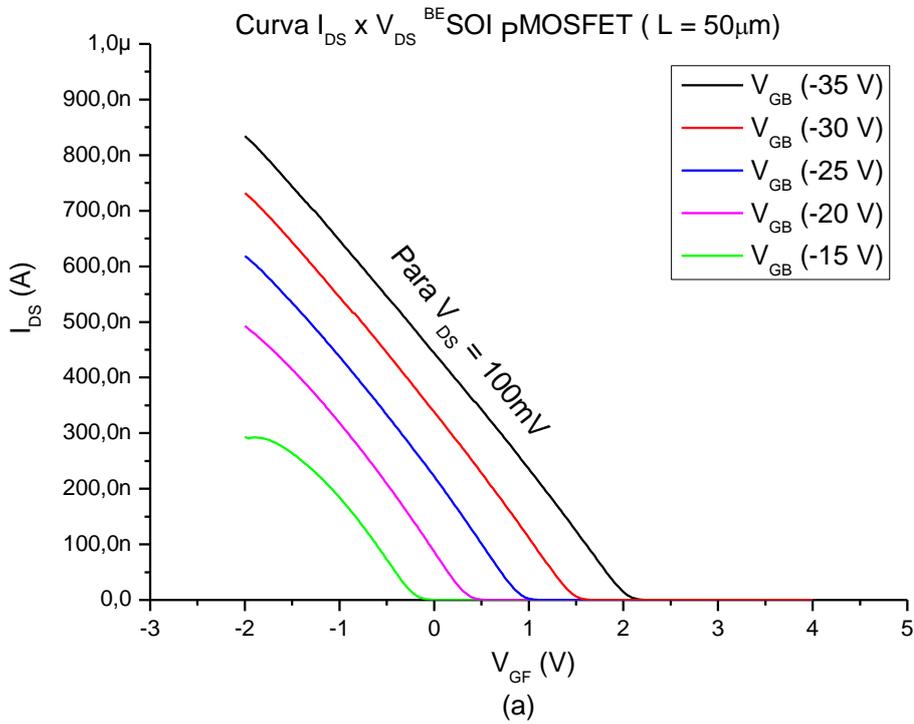
Fonte: Autor.

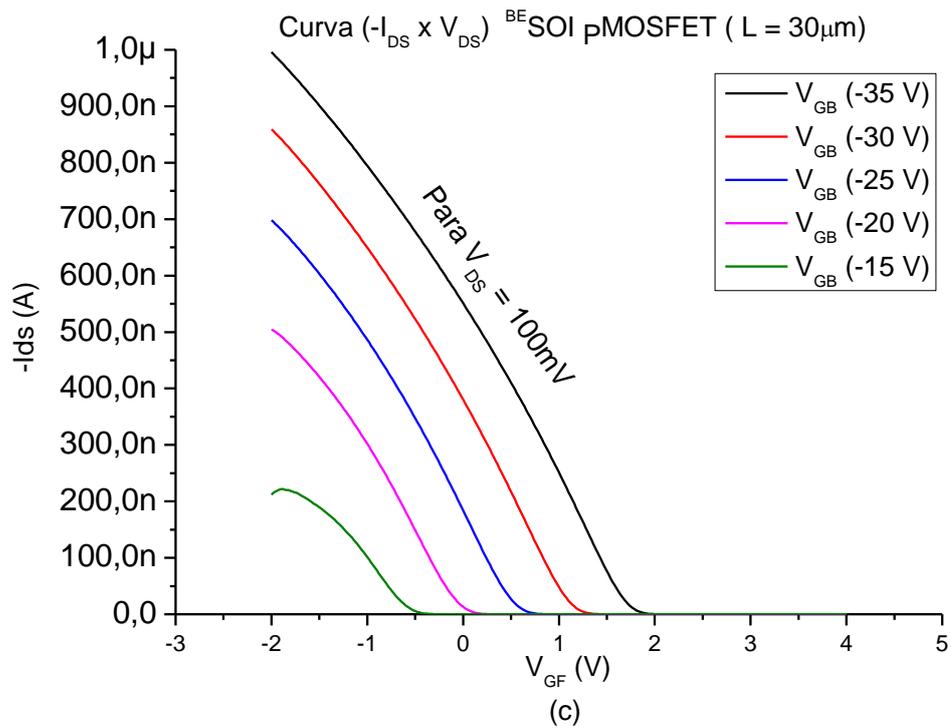
Como os dados obtidos experimentalmente são em geral valores discretos, há uma elevada presença de ruído para as curvas de derivada, entretanto este método é mais preciso que o método de extração por regressões lineares por conta da função I_{ds} por V_{GS} não ser linear quando V_{GS} próximo há V_T [13].

Até o momento foi tratado apenas as características do transistor BE SOI p MOSFET a partir de uma polarização fixa de -35 V para V_{GB} , porém podemos variar esta polarização de forma a variar os portadores na segunda interface, assim obtém-se diversas curvas de transferências para cara polarização de V_{GB} .

A Figura 3.1.6 apresenta as curvas de transferências retiradas para transistores BE SOI p MOSFET de diferentes comprimentos de canais, observe que há um deslocamento entre as curvas no sentido horizontal a direita conforme a diminuição de V_{GB} , devido a este comportamento facilmente observamos que V_T é variável conforme a polarização de V_{GB} . Verificamos estes valores na Tabela 3.1.

Figura 3.1.6 – Curvas de transferência de transistores BE SOI pMOSFET para polarizações de V_{GB} variáveis: (A) Gráfico em escala linear para comprimento de 50 μm ; (B) Gráfico em escala linear para comprimento de 40 μm ; (C) Gráfico em escala linear para comprimento de 30 μm ;





Fonte: Autor.

Tabela 3.1. – Tensões de limiares para os transistores $^{BE}SOI pMOSFET$.

Transistores BE SOI Pmosfet						
Comprimento de Canal (μm)		50 μm				
Polarização de Vgb (V)		-35 V	-30 V	-25 V	-20 V	-15 V
Regressão linear (V)		2,1 V	1,55 V	0,98 V	0,45 V	-0,18 V
Máximo da segunda derivada (V)		2,25V	1,72 V	1,22 V	0,7 V	0 V
Comprimento de Canal (μm)		40 μm				
Polarização de Vgb (V)		-35 V	-30 V	-25 V	-20 V	-15 V
Regressão linear (V)		2 V	1,56 V	1 V	0,48 V	-0,05 V
Máximo da segunda derivada (V)		2,25 V	1,82 V	1,25 V	0,5 V	0 V
Comprimento de Canal (μm)		30 μm				
Polarização de Vgb (V)		-35 V	-30 V	-25 V	-20 V	-15 V
Regressão linear (V)		1,84 V	1,25 V	0,64 V	0 V	-0,5 V
Máximo da segunda derivada (V)		1,8 V	1,2 V	0,66 V	0,03 V	-0,55 V

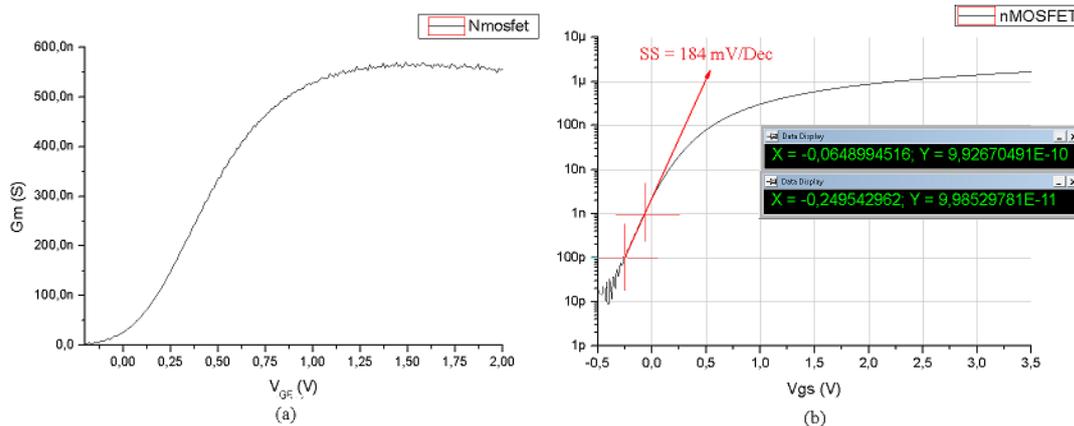
Fonte: Autor.

Há outras características relevantes, como:

(1) transcondutância que conforme definido no Capítulo 2 e dada pela Equação (9), significa a curva de primeira derivada da função I_{DS} por V_{GF} , esta curva chamada de transcondutância sendo importante para aplicações de amplificação de sinais. A Figura 3.1.7 (a) mostra um exemplo da curva de transcondutância para um transistor Nmosfet integrado de comprimento $50\mu\text{m}$ e $10\mu\text{m}$ de largura com um V_T de aproximadamente 0.38V .

(2) Curva de inclinação subliminar (subthreshold) apresentada no Capítulo 2 conforme a Equação (10) que representa a rapidez com que o transistor muda de estado, para tecnologias MOSFET tradicionais o valor mínimo é de aproximadamente 90mV/Década , observamos um exemplo de obtenção deste valor observada na Figura 3.1.7 (b).

Figura 3.1.7 – Curvas características de um transistor Nmosfet com comprimento de $50\mu\text{m}$ fabricado no LSI: (A) Curva de transcondutância; (B) Inclinação sublimiar do dispositivo.

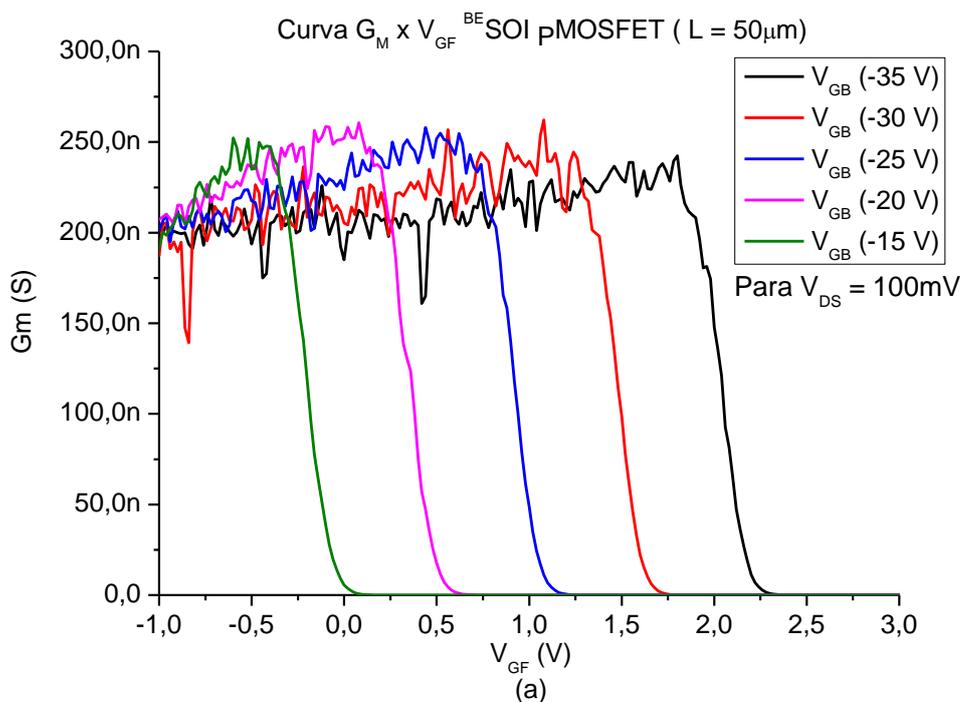


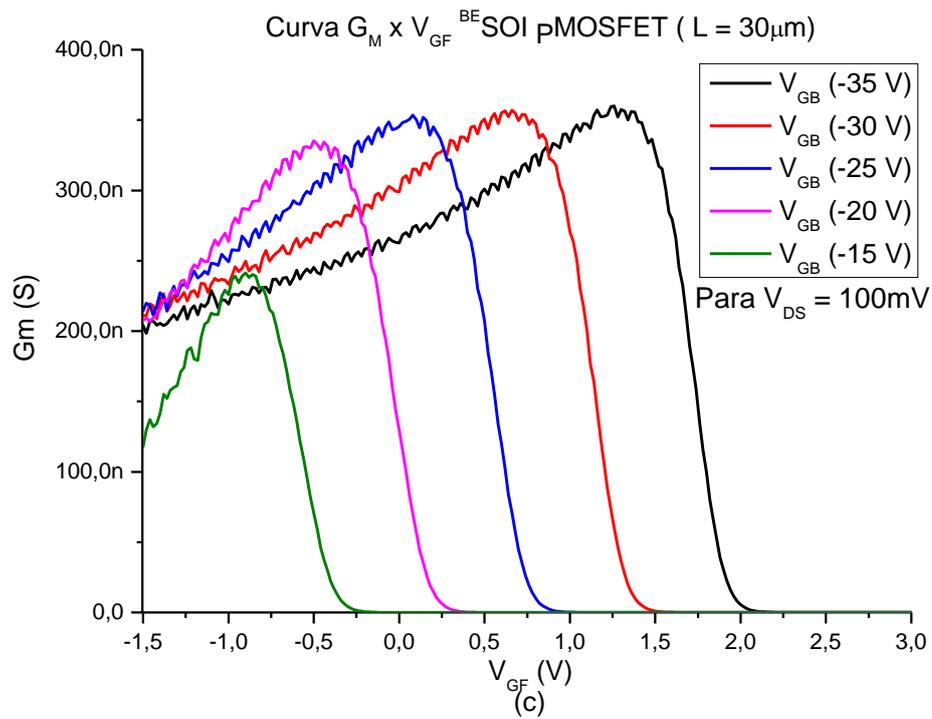
Fonte: Autor.

Estas características podem ser também obtidas para os transistores BE SOI pMOSFET de dimensões variáveis, assim podemos obter as curvas de transcondutância, que são apresentadas na Figura 3.1.8. Seguidamente pela curva de inclinação sublimiar mínimas obtidas na Figura 3.1.9 para transistores de comprimentos variáveis de $50\mu\text{m}$, $40\mu\text{m}$ e $30\mu\text{m}$ e para diversas polarizações de porta de programação (V_{GB}). Estes valores nas curvas de transcondutância e inclinação sublimiar estão próximas ao relatado [8].

Estas são as características básicas dos transistores BE SOI pMOSFET , observa-se que a polarização de sua porta de programação altera suas características diferentemente de transistores MOSFET que são definidas pelas características de fabricação. Este comportamento se dá pela variação de portadores na segunda interface do transistor devido a aplicação de diferentes campos elétricos sob a segunda interface, como uma dopagem na região de interface para controle de tensão de limiar em transistores MOS o transistor ^{BE}SOI pMOSFET traz este controle através da polarização de V_{GB} alterando a concentração de portadores na interface por conta da presença de campo elétrico, além desta característica a corrente elétrica atravessa o dispositivo aumenta conforme o aumento de portadores na segunda interface por conta da maior concentração de portadores quanto maior o módulo campo elétrico.

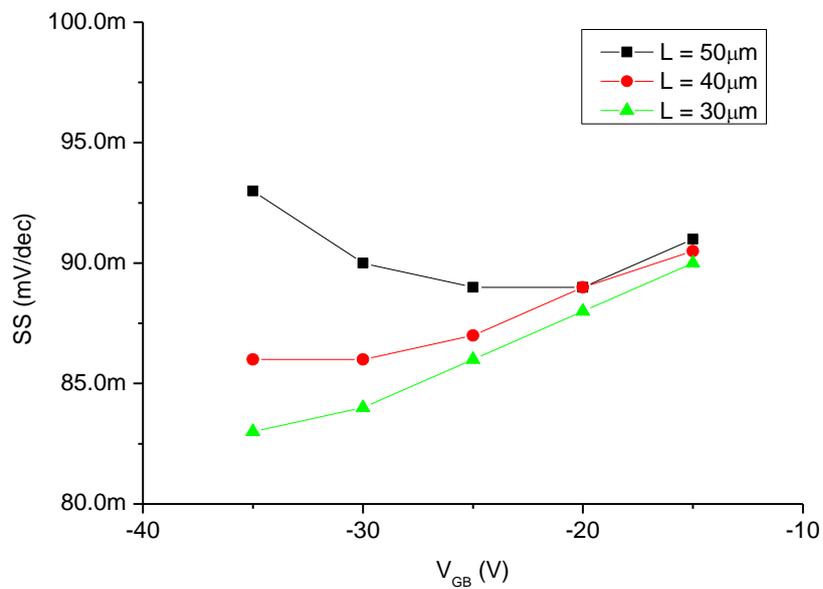
Figura 3.1.8 – Curvas características de transistores ^{BE}SOI pMOSFET para polarizações de V_{GB} variáveis: (A) Transcondutância para comprimento de 50 μm ; (B) Transcondutância para comprimento de 40 μm ; (C) Transcondutância para comprimento de 30 μm ;





Fonte: Autor.

Figura 3.1.9 – Inclinação sublimiar do transistor BE SOI pMOSFET.



Fonte: Autor.

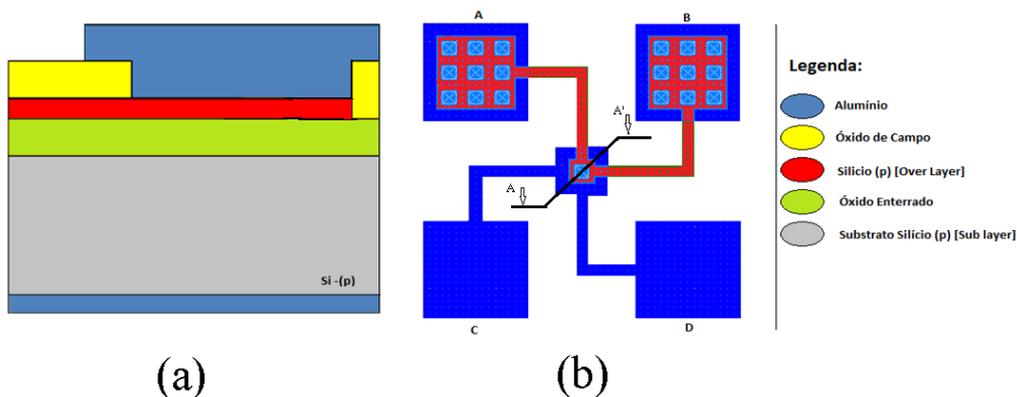
4. INFLUÊNCIA DA PORTA DE PROGRAMAÇÃO NA JUNÇÃO SCHOTTKY.

Nesta seção tem como objetivo expor as características das junções de dreno e fonte presentes no dispositivo, para diferentes versões, em lâminas SOI de 200nm e 25nm de espessura de óxido enterrado (T_{OXB}). Para esta análise foi utilizado estruturas Kelvin's previamente fabricadas no Laboratório de Sistemas Integráveis da USP.

4.1. Características da estrutura Kelvin.

Para analisar os dados isolados das junções de dreno e fonte dos transistores ^{BE}SOI pMOSFET foram utilizadas estruturas Kelvin fabricadas sobre lâminas SOI de espessuras de 200nm e 25nm. Esta estrutura se faz necessário para a obtenção dos valores de tensão de contato da junção a partir da aplicação de uma corrente que à atravessa, desta forma obtendo um valor de resistência do contato na junção conforme a Equação (14) exposta a seguir. O perfil de sua estrutura pode ser observado conforme a Figura 4.1.1 (a) seguidamente por sua vista superior na Figura 4.1.1 (b). Para se utilizar esta estrutura devemos aplicar uma corrente em seu terminal (A), que deverá atravessar a junção dos diferentes materiais e ser retirada em seu terminal (C), desta forma podemos mediar apenas a diferença de potencial no contato através dos terminais (B) e (D), retirando dados apenas desta junção.

Figura 4.1.1 – Estrutura Kelvin SOI: (a) Perfil no contato de junção; (b) Vista Superior da estrutura.



Fonte: Autor.

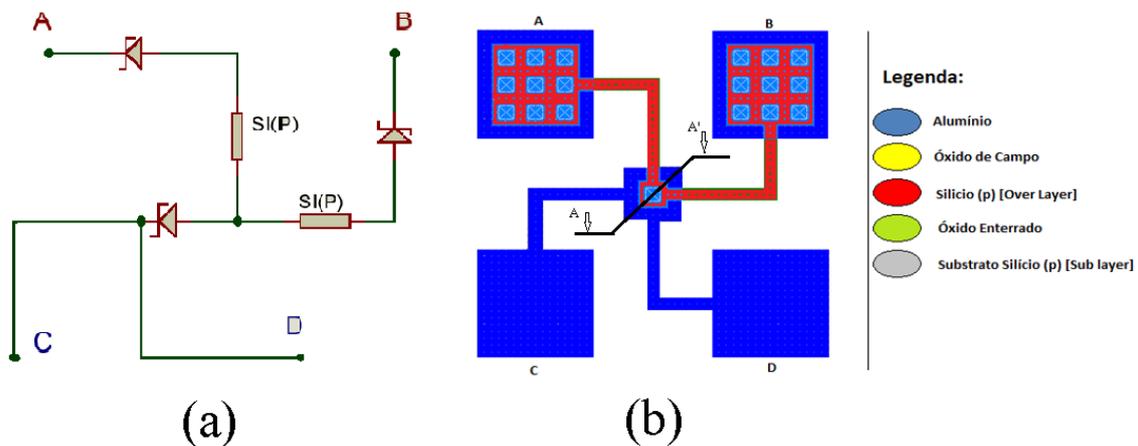
$$Rk = \frac{V_{cont}}{I(in)} \quad (14)$$

Onde V_{cont} é dado pela Equação (15).

$$V_{cont} = V_B - V_D \quad (15)$$

Observe que esta estrutura é formada na verdade de duas junções: (1) A junção projetada no centro da Figura 4.1.1(b), onde há o contato dos materiais; e (2) A junção parasitária presente nos contatos dos pads (A) e (B) da figura anterior. Note que para que a corrente flua do terminal (A) para o contato (C) os portadores serão conduzidos entre um contato de metal com semiconductor tipo-P e sequentemente do semiconductor para o metal do terminal (A). Como exposto no Capítulo 2.4 contatos entre metais e semicondutores de ambos os tipos formam uma junção Schottky que podem se contrapor a passagem de corrente fazendo com que cresça sua região de depleção, ou com que deva haver um aumento de energia para que os portadores possam fluir. Entretanto observa-se que para qualquer polarização ambas as condições ocorrerão, pelo fato de ambas as junções estarem opostas, o que prejudicou as extrações de dados. A Figura 4.1.2 (a) ilustra um circuito equivalente para a estrutura Kelvin Figura 4.1.2 (b).

Figura 4.1.2 – Modelo equivalente da estrutura Kelvin: (a) Circuito equivalente simplificado; (b) Vista Superior da estrutura.



Fonte: Autor.

Para que não existam duas junções Schottky inversas, utilizou-se um novo método. De forma a ainda aplicar uma corrente entre os terminais B e C da estrutura, porém negativa, o potencial medido será entre os terminais A e B deste modo desfrutamos de apenas uma junção Schottky acompanhado de um canal de silício, que pode ser simplificado como um resistor, apesar da presença de um resistor de silício os resultados se tornaram mais efetivos em comparação com as medições de ambas as junções reversas. Além disto esta mudança acarretou a medição da junção do próprio contato do pad que se formou juntamente com o transistor, esta nova forma de medição temos uma nova resistência de contato (R_k) dada pelas Equações (16) e (17), lembrando que o novo sentido de corrente é do terminal C para B. Este foi o método preliminar utilizado para analisar as características das junções.

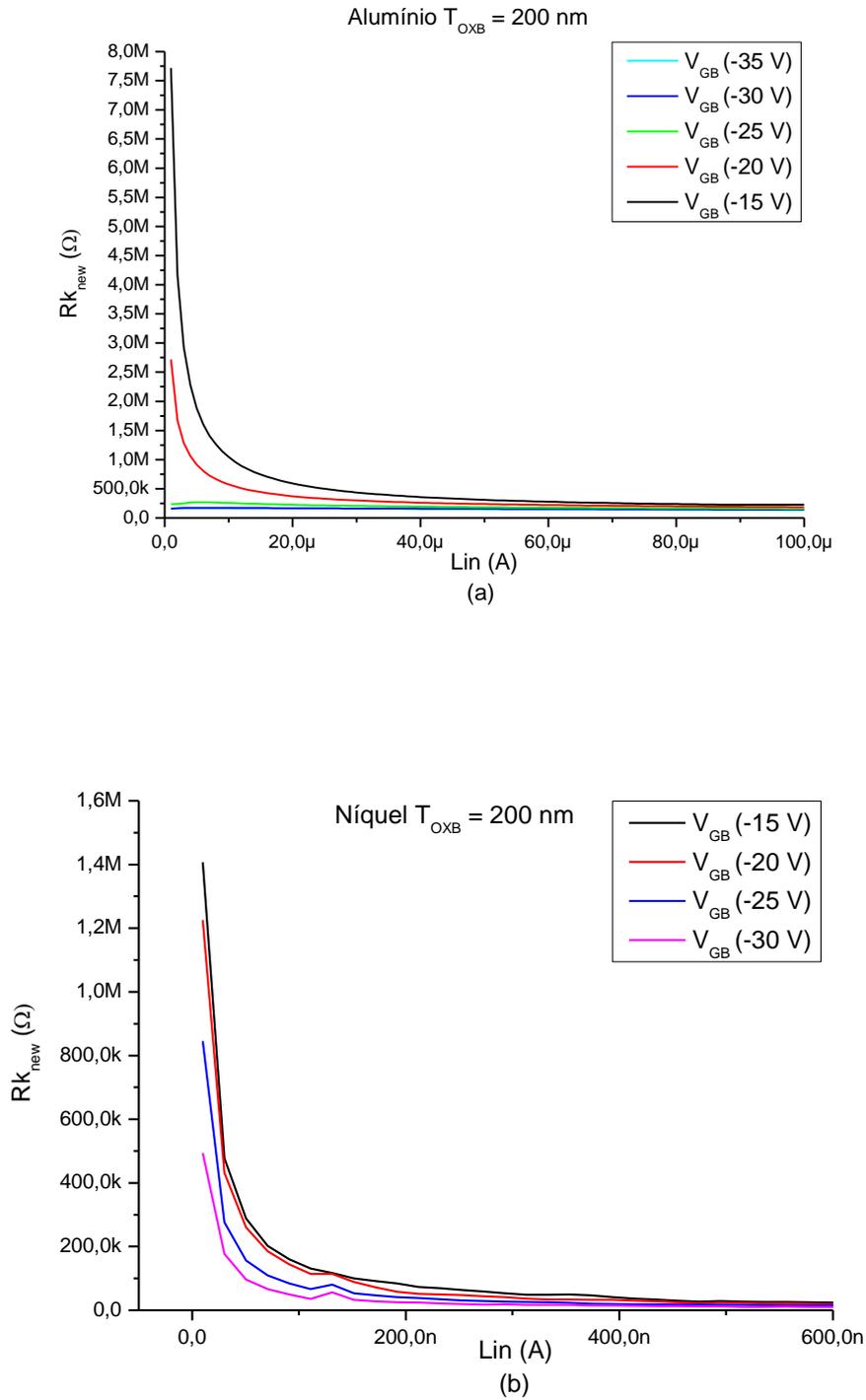
$$R_k = \frac{V_{cont_{new}}}{I_{(out)}} \quad (16)$$

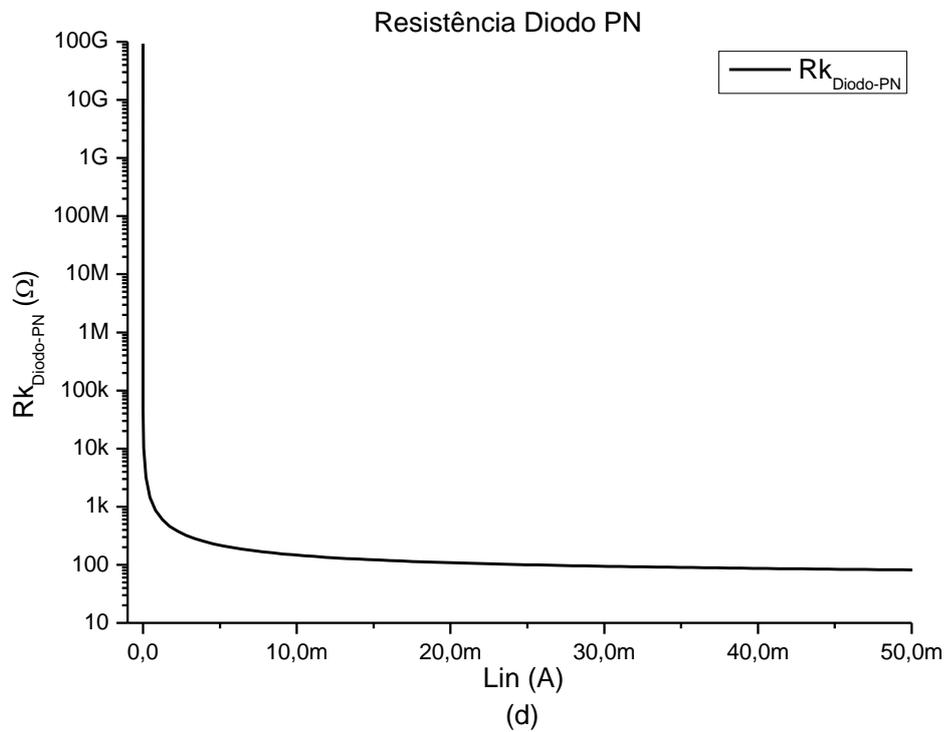
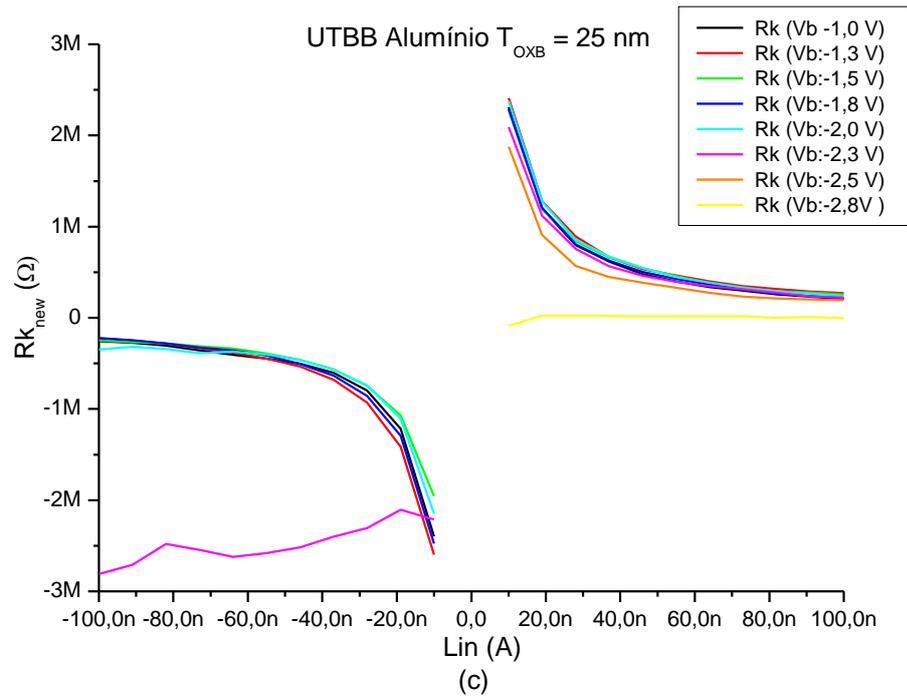
$$V_{cont_{new}} = V_A - V_B \quad (17)$$

4.2. Resultados experimentais.

Utilizado o procedimento citado anteriormente os resultados obtidos podem ser observados na Figura 4.2.1 em um gráfico de resistência de contato pela corrente, observe que para os diferentes materiais de contato os comportamentos das junções são próximos nas Figuras 4.2.1 (a) e (b), ou seja conforme o aumento da corrente, ou o aumento de potencial de contato, através da junção observamos que sua resistência cai rapidamente até se estabilizar em um valor muito menor que o inicial. Analogamente para a Figura 4.2.1 (c) o mesmo efeito ocorre para os contatos de alumínio em lâminas UTBB.

Figura 4.2.1 – Resistência de contato conforme a Equação (16): (a) Lâmina com T_{OXB} de 200nm de alumínio; (b) Lâmina com T_{OXB} de 200nm de níquel; (c) Lâmina UTBB com T_{OXB} de 25nm para alumínio. ; (c) Resistencia por corrente junção PN.





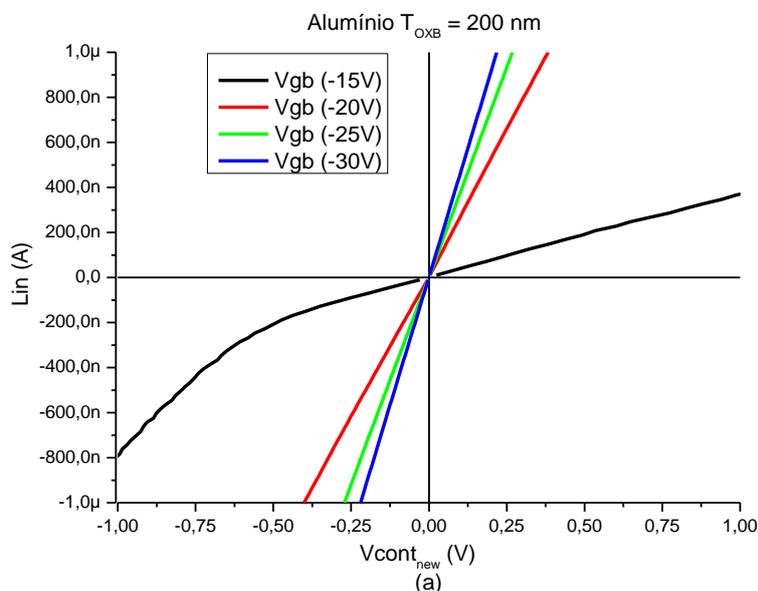
Fonte: Autor.

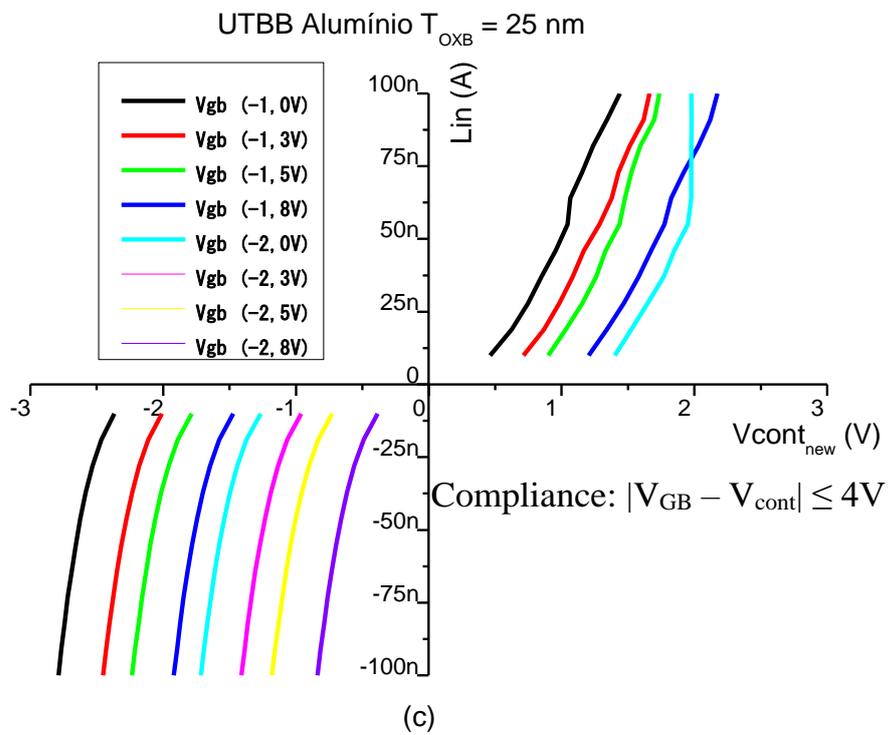
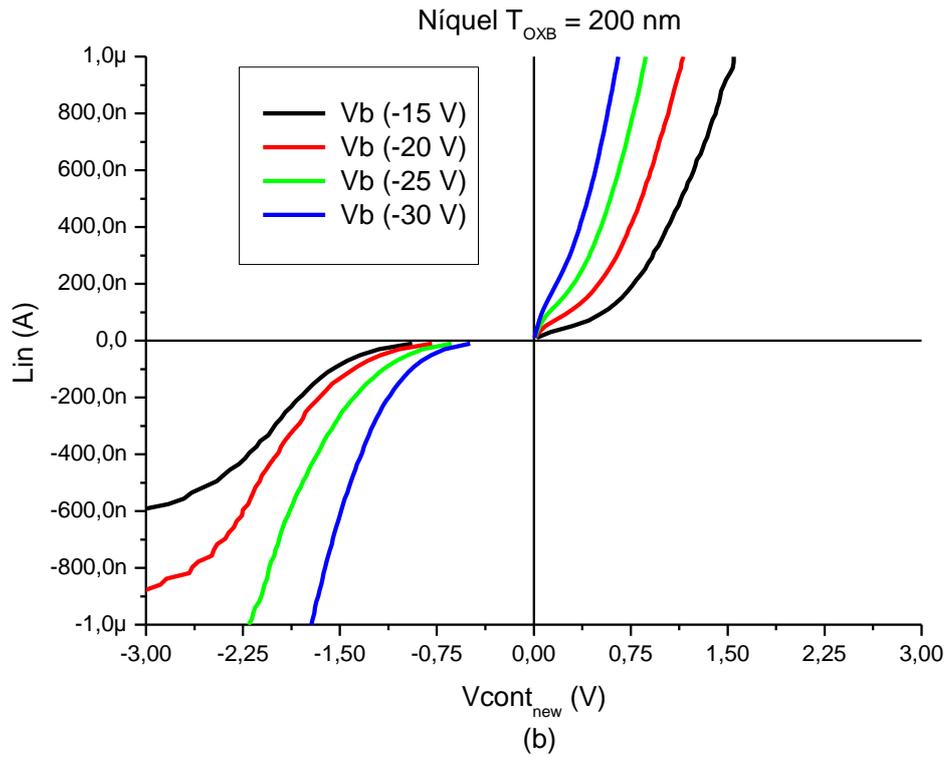
Pode-se associar esta região quase ôhmica como a resistência equivalente entre o resistor de silício e um diodo Schottky, e a região gráfica inicial como uma associação em série do resistor de silício parasitário na estrutura com o diodo Schottky em momento de não condução, de forma a impedir a passagem de corrente pela junção neste caso a resistência equivalente observada é muito superior em comparação quando em condução. Este comportamento pode ser similarmente observado e justificado na Figura 4.2.1 (d) que apresenta uma curva de resistência de um diodo PN pela corrente injetada.

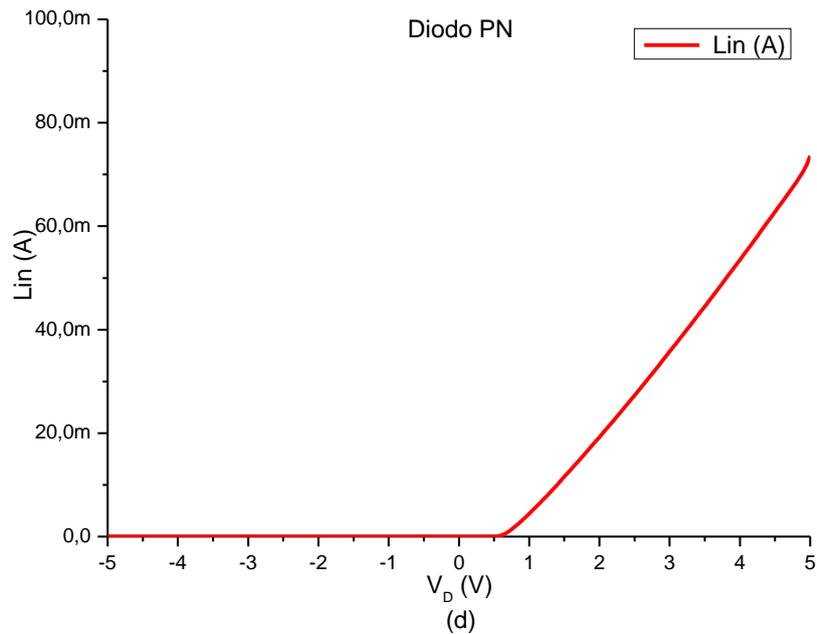
Devemos lembrar que o referencial adotado até o momento é conforme mostrado no Capítulo 4.1, e para este referencial as para correntes e tensões positivas temos a corrente reversa na junção, por conta do modelo ser conforme a Figura 4.1.2 (a). Logo deve-se inverter o referencial para aplicar os modelos descritos no Capítulo 2.4. Assim para polarizações positivas temos uma corrente direta, e analogamente para tensões negativas temos uma corrente reversa. Para as figuras subsequentes o referencial adotado é conforme a polarização da junção.

Difícilmente as características de junções são tratadas da forma de apresentada em termos de resistência, as curvas de junções são geralmente apresentadas nas formas de gráficos tensão por corrente, por conta de suas características exponenciais. Para as junções tratadas as curvas são apresentadas na Figura 4.2.2 a seguir.

Figura 4.2.2 – Curvas tensão por corrente de junções : (a) Lâmina com T_{OXB} de 200nm de alumínio; (b) Lâmina com T_{OXB} de 200nm de níquel; (c) Lâmina UTBB com T_{OXB} de 25nm para alumínio. (d) Curva I x V de um diodo PN integrado;







Fonte: Autor.

Note que o comportamento das junções com óxido enterrado de 200nm são próximas, isto é, conforme a atração de portadores na segunda interface por intermédio da polarização da porta de programação, há um deslocamento das curvas de forma a se aproximar do eixo das ordenadas. Esta característica mostra que conforme aumentamos a concentração de portadores na interface, diminuimos a tensão necessária para a mesma corrente através junção.

Entretanto ao observar as características experimentais retiradas da lâmina UTBB de alumínio, nota-se que há mais curvas para polarização reversa em comparação com a polarização direta da junção. Isto se dá pelo fato que para esta tecnologia o limite de tensão aplicado a porta de programação é próxima a 5 V, para que não haja uma ruptura dielétrica. Assim o equipamento utilizado segue uma conformidade de que a diferença de potencial entre o dielétrico deve ser inferior a 4 V, para isto ocorrer o limite de tensão aplicado na junção deve seguir a seguinte expressão $|V_{GB} - V_{cont}| \leq 4V$, esta conformidade (compliance) pode ser observada na curva em ciano na Figura 4.2.2 (c) para correntes superiores a 50nA.

Conforme a polarização da porta de programação há um afastamento das curvas, de forma a necessitar de uma tensão de contato maior para a mesma corrente conforme a gradativa diminuição de V_{GB} em polarização direta. Note que para polarizações reversas o fenômeno é inverso, ou seja necessitamos uma tensão de contato menor para o mesmo nível de corrente.

Para a lâmina UTBB em polarização direta pode-se explicar esse fenômeno de distanciamento pelos seguintes argumentos, conforme exposto no Capítulo 2 temos que ($\Psi_{BI} = \Phi_S - \Phi_M$) e ($\Phi_S = E_{V_{\text{vacuo}}} - E_F$), e é conhecido que o nível de Fermi, na interface entre o silício e o óxido enterrado, sofre influência da polarização da porta de programação. Conforme a polarização da porta se torna gradativamente mais negativa há uma diminuição do nível de Fermi no silício (se aproxima do nível de valência), desta forma a função trabalho do silício (Φ_S) é maior provocando assim uma maior barreira de potencial (Ψ_{BI}) para a polarização direta.

Em conclusão pode-se dizer que este deslocamento provido por este acúmulo de lacunas na segunda interface do transistor dificulta a passagem de corrente elétrica pelas junções em polarização direta, porém facilita a passagem de corrente através da junção reversamente polarizada.

Verifique que para todas as lâminas, as curvas em polarização reversas seguem o mesmo comportamento da encontrada na junção com óxido enterrado ultra fino. Esta característica se dá pelo fato de o mecanismo de tunelamento ser favorecido conforme aumenta a concentração de portadores.

Para obter os valores de barreira para esta junções pode-se utilizar o método de caracterização de corrente por tensão, que são válidos para semicondutores moderadamente dopados[15]. Este método consiste em uma regressão linear das curvas logarítmicas de corrente pela tensão das junções, desta forma a obter a corrente I_0 na região de $V_D = 0V$, posteriormente convertê-la em densidade de corrente conforme a Equação (18), e deste modo utilizar a Equação (19) seguinte para obter seus valores. As Tabelas 4.1 apresenta estes valores de barreira obtidos em suas condições de polarização.

$$J_0 = \frac{I_0}{A_0} \quad (18).$$

$$\phi_{Bn} = \frac{kT}{q} \ln \left(\frac{A^{**}T^2}{J_0} \right) \quad (19).$$

Tabela 4.1 – Extração de parâmetros da barreira de potencial.

UTBB Al (Tox = 25nm)					
J0	Bp (V)	Bn (V)	Vgb(V)	I0	A0
1,80E-04	0,593	0,527	-1,00	1,62E-09	9,00E-06
6,32E-05	0,620	0,500	-1,30	5,69E-10	9,00E-06
2,53E-05	0,643	0,477	-1,50	2,28E-10	9,00E-06
1,44E-05	0,657	0,463	-1,80	1,30E-10	9,00E-06
8,10E-06	0,672	0,448	-2,00	7,29E-11	9,00E-06

Níquel (Tox = 200nm)					
J0	Bp (V)	Bn (V)	Vgb(V)	I0	A0
2,00E-04	0,590	0,530	-15,00	2,00E-08	1,00E-04
4,56E-04	0,570	0,550	-20,00	4,56E-08	1,00E-04
7,71E-04	0,556	0,564	-25,00	7,71E-08	1,00E-04
1,00E-03	0,550	0,570	-30,00	1,00E-07	1,00E-04

Alumínio (Tox = 200nm)					
J0	Bp (V)	Bn (V)	Vgb(V)	I0	A0
1,38E-03	0,542	0,578	-15,00	1,38E-07	1,00E-04
2,93E-03	0,523	0,597	-20,00	2,93E-07	1,00E-04
2,93E-03	0,523	0,597	-25,00	2,93E-07	1,00E-04
2,93E-03	0,523	0,597	-30,00	2,93E-07	1,00E-04

Fonte: Autor.

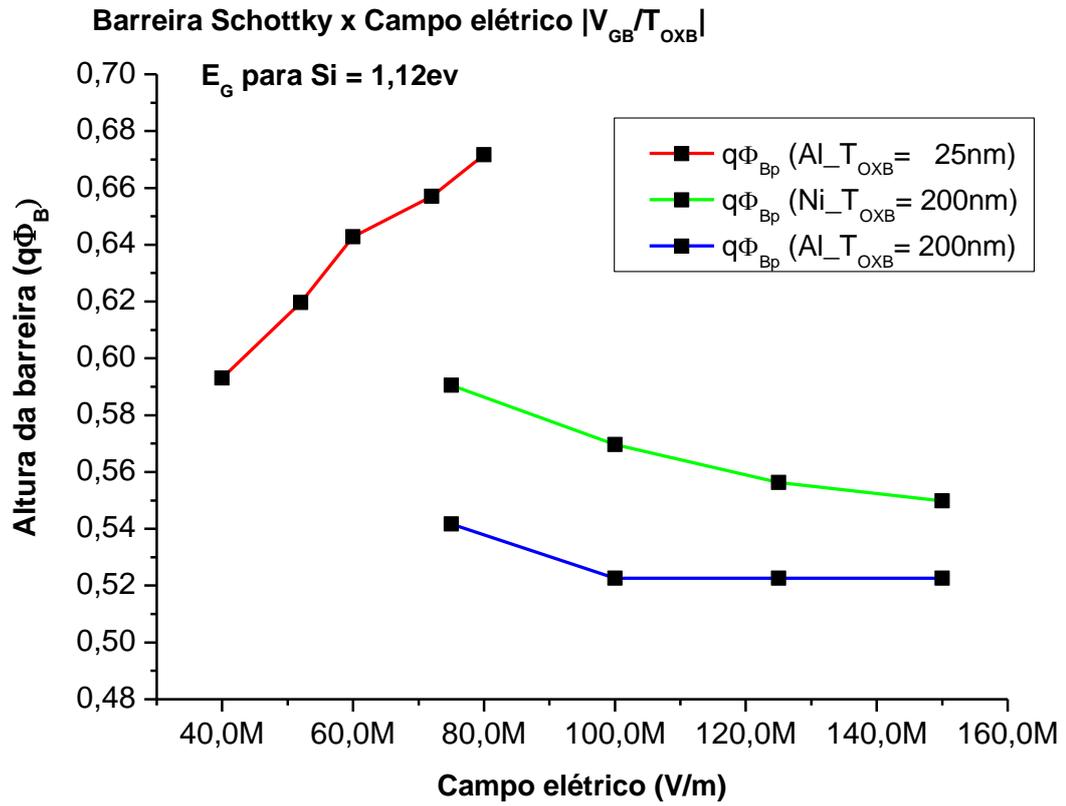
Com os valores das barreiras obtidas para as junções Schottky apresentadas nas regiões de dreno e fonte dos transistores ^{BE}SOI pMOSFET obtidas anteriormente, pode-se expor as últimas conclusões parciais. Observe que como o concluído anteriormente o fenômeno de abaixamento de barreira está presente de fato, na lâmina ultra fina de alumínio. Entretanto para a lâmina com T_{OXB} de 200nm com contato de níquel o comportamento é completamente inverso, isto é para uma gradativa diminuição de V_{GB} temos um abaixamento da barreira que facilita a passagem de corrente através da junção.

Apesar do comportamento similar de queda de barreira entre as lâminas de alumínio e níquel com óxidos enterrados de 200nm, a conclusão é excepcional. Note que a Tabela 4.1 para a lâmina de alumínio de 200nm as regressões das curvas, para V_{GB} inferiores a -20 V, tendem a uma corrente I_0 extremamente próximas, porém na Figura 4.2.2 (a) mostram curvas com correntes diferentes. Isto pode indicar uma mudança no tipo de corrente na junção.

Como o apresentado no Capítulo 2.4 há três principais mecanismos de condução de corrente através de uma junção Schottky (TE, TFE e FE), e que o tunelamento é favorecido em maiores concentrações. Deste modo a diferença de corrente apresentada na Figura 4.2.2 (a), pode ser a mudança de corrente de emissão termiônica (TE) para uma corrente de tunelamento termiônica (TFE), o que explicaria o aumento da corrente através da junção.

Com estes dados expressos na Tabela 4.1 pode-se montar um gráfico que exhibe o comportamento das barreiras, para as diferentes lâminas em diferentes campos elétricos aplicados sobre a segunda interface. Este gráfico resume as características finais das junções obtidas neste trabalho, podendo ser visualizado na Figura 4.2.3. Neste gráfico fica claro que a altura da barreira decresce com o aumento do campo elétrico vindo da polarização da porta de programação, desde que o óxido enterrado seja espesso (200nm). Efeito oposto se observa para óxido enterrado fino (25nm). Este efeito deve ser mais detalhadamente investigado em trabalhos futuros, possivelmente ele está ligado a defeitos de interface na formação do contato Schottky em lâminas UTBB, já que esta amostra é a primeira com esta tecnologia fabricada no LSI (e possivelmente no Brasil) indicando que ainda há muito a conhecer sobre este processo de fabricação.

Figura 4.2.4 – Barreiras de potencial em função do campo elétrico gerado na segunda interface.



Fonte: Autor.

5. CONCLUSÃO E CONSIDERAÇÕES FINAIS.

A partir de análises e resultados expostos neste trabalho, observamos algumas características básicas dos transistores ^{BE}SOI pMOSFET como suas curvas de transcondutância e inclinação sublimiar sob a influência da porta de programação. Além de suas características de condução de corrente, através de junções Schottky nos contatos de dreno e fonte sob influência da polarização da porta de programação, em diferentes situações de contatos e óxidos enterrados.

Observou-se que o campo elétrico gerado na segunda interface através da polarização da porta de programação (V_{GB}) varia a concentração de portadores nesta interface. Gerando assim diferentes características em relação ao transistor e as junções presentes. Observou-se também que a variação da barreira de potencial para lacunas é maior em lâmina com oxido enterrado ultra finos (UTBB), em relação as barreiras Schottky para as situações de óxidos enterrados de 200nm, e são caráter crescente conforme uma menor aplicação de tensão na segunda porta.

Entretanto ainda há uma variação nas barreiras de potencial nas situações de óxidos mais espessos. Para essas situações observa-se que as barreiras de potencial nas junções diminuem conforme uma menor polarização na segunda porta do transistor.

Desta forma pode-se concluir que as junções Schottky dos transistores em situações de óxidos enterrados de 200nm. São mais eficientes em termos de corrente, as comparando com as junções analisadas nas situações de óxidos enterrados ultra finos (UTBB) de 25nm. Pois suas barreiras decaem conforme a maior atração de lacunas na segunda interface. Gerando assim uma melhor condução de corrente em ambos os sentidos (Direta e Reversa).

5.1. Sugestão de trabalhos.

De forma a continuar a progressão dos estudos das características destes transistores, após concluído este trabalho pode-se expor propostas e continuações de trabalhos futuros. Como propostas de trabalhos futuros pode-se sugerir um aprofundamento do estudo das junções Schottky presentes nos transistores ^{BE}SOI de

forma a englobar as junções Schottky dos transistores ^{BE}SOI _NMOSFET em seus diferentes materiais formadores.

Similarmente é também proveitoso estudar o comportamento de um canal de silício sobre o efeito da polarização da porta de programação, utilizando a estrutura Van der Pauw, pois como mencionado as medidas obtidas estão associadas a um canal de silício.

Por último, é interessante projetar ou simular uma junção Schottky isolada em uma lâmina, neste trabalho apresentamos as características da junção de dreno associado a um canal de silício (resistor), entretanto pode-se supor que este canal de silício sofra influência da atração de portadores gerados pela polarização da porta de programação, isto pode concluir o este trabalho de forma a separar quais são as características decorrentes ao canal de silício e quais são as características isoladas das junções. Também é conveniente fabricar uma junção Schottky's isolada sobre a lâmina SOI, para que possam ser extraídas as características isoladas destas junções.

Referências.

- [1] RANGEL, R. C. Sequência Simples de Fabricação de Transistores SOI nMOSFET. 2014. Dissertação (Mestrado) – Universidade de São Paulo.
- [2] LUNDSTROM, M., Moore's Law Forever?, *Science*, V. 299, N. 5604 (2003) p. 210-211, DOI: 10.1126/science.1079567.
- [3] INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS - IRDS 2017 EDITION - MORE MOORE. IEEE
- [4] YOJO, L. S. et al. Reconfigurable Back Enhanced (BE) SOI MOSFET used to Build a Logic Inverter. *Symposium on Microelectronics Technology and Devices (SBMicro)*, 2017.
- [5] MARTINO, J. A. e RANGEL, R. C.; Transistor com formação de fonte e dreno induzida por efeito de campo elétrico e seu método de fabricação, Patente submetida em 28 de Agosto de 2015; BR 10 2015 020974 6.
- [6] H. Iwai, Future of Nano CMOS Technology. *Solid-State Electronics*, v.112, p. 56-67, 2015.
- [7] Le Pailleur, L. Fully-Depleted-Silicon-On-Insulator from R&D concept to industrial reality. *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*, 2013 IEEE. Monterey, CA: IEEE. 2013. p. 1-2.
- [8] RANGEL, R. C.; MARTINO, J. A. Back Enhanced (BE) SOI pMOSFET. *Microelectronics Technology and Devices (SBMicro)*, 2015 30th Symposium on Salvador, Brazil: IEEE. 2015. p. 1-4.
- [9] PADOVESE, J. A. P. “Aplicação de ^{BE}SOI (Back Enhanced) MOSFET como sensor de luz no espectro visível”, São Paulo, Dissertação de Mestrado Escola Politécnica da Universidade de São Paulo, 2019.
- [10] YOJO, L. S. et al., “Optimization of the permittivity-based BE SOI biosensor”, *IEEEExplore*, p. 1-3, 2018.

- [11] Souza, P. R., “Estudo de Processos de Fabricação de Diodos Schottky de Potência”, São Paulo, Dissertação de Mestrado Unicamp, 2003.
- [12] SWART, J. W. Materiais Elétricos Fundamentos e Semicondutores. 2003. Campinas, São Paulo, Cap.10.
- [13] MARTINO, J. A. et. al. Caracterização Elétrica de Dispositivos e Tecnologia MOS. São Paulo: Pioneira Thomson Learning, 2003.
- [14] CALLISTER, W. D., Ciência e Engenharia de Materiais: Uma Introdução. John Wiley & Sons, Inc., 2002.
- [15] S.M Streetman e S. Banerjee, Soled State Electronic Device, Prentice Hall, New Jersey, 2000.
- [16] Sze, S. M., Ng, Kwok K, Physics of Semiconductor Devices, John Wiley & Sons, New Jersey. 2007.
- [17] P. Colinge, Silicon-on-Insulator Technology: Materials to VLSI, Springer Science+Business Media New York, 2004.

